

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-221981

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

G11C 11/409

(21)Application number : 07-013048 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.01.1995 (72)Inventor : IWAMOTO HISASHI
KONISHI YASUHIRO
DOSAKA KATSUMI
MURAI YASUMITSU

(30)Priority

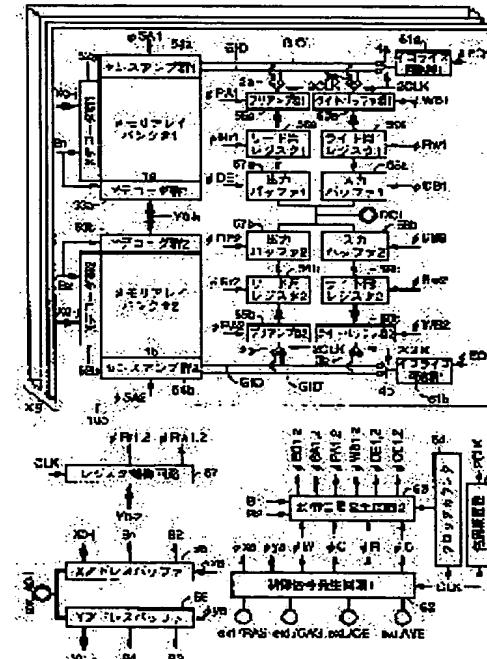
Priority number : 06311842 Priority date : 15.12.1994 Priority country : JP

(54) SYNCHRONOUS TYPE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a synchronous type semiconductor memory capable of easily writing data by using a high frequency.

CONSTITUTION: This semiconductor memory is provided with a changeover switch 3a for connecting two systems of global signal input/output line pair GIO and GIO' and global IO line pair GIO or GIO' to a write-buffer group 60a alternately one clock cycle each and the changeover switch 4a for connecting the global IO line pair GIO' or GIO to an equalization circuit 61a alternately one clock cycle each for a memory array 1a. The data writing through one side global IO line pair GIO and the equalization of the other side global IO line pair GIO' are performed in parallel for one clock cycle.



LEGAL STATUS

[Date of request for examination] 10.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-221981

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl.⁶
G 11 C 11/409

識別記号

府内整理番号

F I

G 11 C 11/34

技術表示箇所

354A

審査請求 未請求 請求項の数13 OL (全34頁)

(21)出願番号 特願平7-13048
(22)出願日 平成7年(1995)1月30日
(31)優先権主張番号 特願平6-311842
(32)優先日 平6(1994)12月15日
(33)優先権主張国 日本 (JP)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 岩本 久
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内
(72)発明者 小西 康弘
兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内
(74)代理人 弁理士 深見 久郎 (外3名)

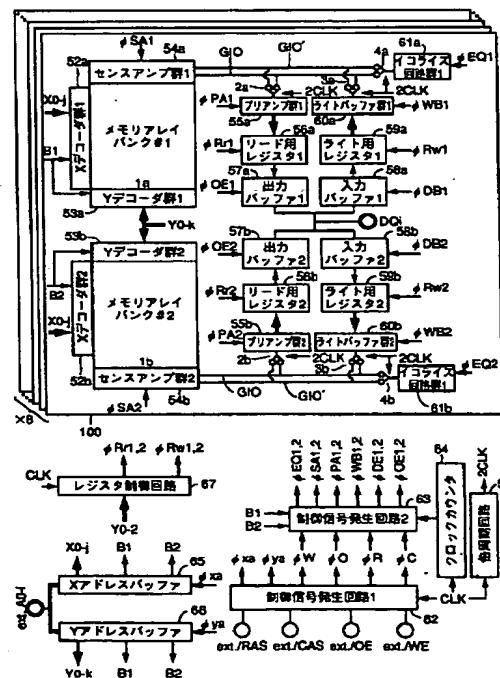
最終頁に続く

(54)【発明の名称】 同期型半導体記憶装置

(57)【要約】

【目的】 データの書き込みを高周波で容易に行なうことができる同期型半導体記憶装置を提供する。

【構成】 1つのメモリアレイ1aに対して、2系統のグローバル信号入出力線対G I OおよびG I O' と、グローバル I O線対G I OまたはG I O' を1クロックサイクルずつ交互にライトバッファ群60aに接続するための切換スイッチ3aと、グローバル I O線対G I O' またはG I Oを1クロックサイクルずつ交互にイコライズ回路61aに接続するための切換スイッチ4aとが設けられる。1クロックサイクルの間に、一方のグローバル I O線対G I Oを介してのデータの書き込みと他方のグローバル I O線対G I O' のイコライズとを並列に行なうことができる。



【特許請求の範囲】

【請求項1】 外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取り込む同期型半導体記憶装置であって、
行列状に配列された複数のメモリセルを含むメモリアレイ、
前記メモリアレイとデータ信号の入出力を行なうための第1および第2の信号入出力線対、
前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、
前記アドレス信号に従って前記メモリアレイのうちのいずれかのメモリセルを連続的に選択する選択回路、
前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択されたメモリセルの各々を前記第1または第2の信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備える、同期型半導体記憶装置。

【請求項2】 前記データ入出力回路は、

前記第1および第2の信号入出力線対に共通に設けられたデータ読出回路、

前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端を1クロックサイクルずつ交互に前記データ読出回路に接続する第1の切換回路、

前記第1および第2の信号入出力線対に共通に設けられたデータ書回路、

前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端を1クロックサイクルずつ交互に前記データ書回路に接続する第2の切換回路、

前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1の信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含む、請求項1に記載の同期型半導体記憶装置。

【請求項3】 前記データ入出力回路は、

前記第1の信号入出力線対に対応して設けられた第1のデータ読出回路、

前記第2の信号入出力線対に対応して設けられた第2のデータ読出回路、

前記内部クロック信号に応答して、前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、

前記第1の信号入出力線対に対応して設けられた第1のデータ書回路、

前記第2の信号入出力線対に対応して設けられた第2の

10

20

30

40

50

データ書回路、

前記内部クロック信号に応答して、外部から前記第1または第2のデータ書回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、
前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1の信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含む、請求項1に記載の同期型半導体記憶装置。

【請求項4】 外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取り込む同期型半導体記憶装置であって、

行列状に配列された複数のメモリセルを含むメモリアレイ、

前記メモリアレイとデータ信号の入出力を行なうための第1および第2の信号入出力線対、

前記アドレス信号に従って前記メモリアレイのうちのいずれかのメモリセルを連続的に選択する選択回路、

前記選択回路によって選択されたメモリセル対の各々を前記第1および第2の信号入出力線対の一端に接続する接続回路、および最初の2クロックサイクルにおいては前記第1および第2の信号入出力線対の他端と2ビットのデータ信号の授受を一度に行ない、その後は前記第1または第2の信号入出力線対の他端と1クロックサイクルずつ交互に1ビットのデータ信号の授受を行なうデータ入出力回路を備える、同期型半導体記憶装置。

【請求項5】 前記データ入出力回路は、

前記第1の信号入出力線対に対応して設けられた第1のデータ読出回路、

前記第2の信号入出力線対に対応して設けられた第2のデータ読出回路、

前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、

前記第1の信号入出力線対に対応して設けられた第1のデータ書回路、

前記第2の信号入出力線対に対応して設けられた第2のデータ書回路、

外部から前記第1または第2のデータ書回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、

前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および最初の2クロックサイクルにおいては前記第1および第2のデータ書回路によって前記第1および第2の信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては前記第1または第2のデータ書回路によって前記1ビットのデータ信号の書込を行なった

後に前記イコライズ回路によって前記第1および第2の信号入出力線対のイコライズを行なう書込制御回路を含む、請求項4に記載の同期型半導体記憶装置。

【請求項6】 外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む複数のメモリアレイブロック、

前記複数のメモリアレイブロックの各々に対応して設けられた第1および第2のローカル信号入出力線対、

前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、

前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、

前記アドレス信号に従って前記複数のメモリアレイブロックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセルとを連続的に選択する選択回路、

前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択されたメモリセルに対応するビット線対の各々を各ビット線対が属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、

前記選択回路によって選択された前記メモリアレイブロックの第1および第2のローカル信号入出力線対の他端の各々を前記第1および第2のグローバル信号入出力線対の一端に接続する接続回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備える、同期型半導体記憶装置。

【請求項7】 外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、

各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む複数のメモリアレイブロック、

前記複数のメモリアレイブロックの各々に対応して設けられたローカル信号入出力線対、

前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、

前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、

前記アドレス信号に従って前記複数のメモリアレイブロ

ックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセルとを連続的に選択する選択回路、

前記選択回路によって選択された前記メモリセルに対応するビット線対の各々を各ビット線対が属するメモリアレイブロックのローカル信号入出力線対の一端に接続する接続回路、

前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択された前記メモリア

10 レイブロックのローカル信号入出力線対の他端の各々を前記第1または第2のグローバル信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備える、同期型半導体記憶装置。

【請求項8】 前記データ入出力回路は、前記第1および第2のグローバル信号入出力線対に共通に設けられたデータ読出回路、

前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記データ読出回路に接続する第1の切換回路、

前記第1および第2のグローバル信号入出力線対に共通に設けられたデータ書込回路、

前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記データ書込回路に接続する第2の切換回路、

前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含む、請求項6または7に記載の同期型半導体記憶装置。

【請求項9】 前記データ入出力回路は、前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ読出回路、

前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ読出回路、

前記内部クロック信号に応答して、前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、

前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ書込回路、

前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ書込回路、

50 前記内部クロック信号に応答して、外部から前記第1ま

たは第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含む、請求項6または7に記載の同期型半導体記憶装置。

【請求項10】 外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取り込む同期型半導体記憶装置であって、各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたピット線対とを含む複数のメモリアレイブロック、

前記複数のメモリアレイブロックの各々に対応して設けられた第1および第2のローカル信号入出力線対、

前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、

前記アドレス信号に従って前記複数のメモリアレイブロックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセル対とを連続的に選択する選択回路、

前記選択回路によって選択されたメモリセル対に対応する2組のピット線対の各々を各2組のピット線対が属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に接続する第1の接続回路、

前記選択回路によって選択された前記メモリアレイブロックの第1および第2のローカル信号入出力線対の他端の各々を前記第1および第2のグローバル信号入出力線対の一端に2クロックサイクルずつ接続する第2の接続回路、および最初の2クロックサイクルにおいては前記第1および第2のグローバル信号入出力線対の他端と2ビットのデータ信号の授受を一度に行ない、その後は前記第1または第2のグローバル信号入出力線対の他端と2クロックサイクルずつ交互に1ビットのデータ信号の授受の行なうデータ入出力回路を備える、同期型半導体記憶装置。

【請求項11】 前記データ入出力回路は、

前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ読出回路、

前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ読出回路、

前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、

前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ書込回路、

前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ書込回路、

外部から前記第1または第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、

前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記最初の2クロックサイクルにおいては前記第1および第2のデータ書込回路によって前記2ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2のグローバル信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては前記第1または第2のデータ書込回路によって前記1ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2のグローバル信号入出力線対のイコライズを行なう書込制御回路を含む、請求項10に記載の同期型半導体記憶装置。

【請求項12】 前記複数のメモリアレイブロックの各々は、

前記ワード線と交差して設けられ、かつ各々が互いに所定の間隔で設けられた複数のワード線シャント領域、および各ワード線に対応して設けられ、各ワード線シャント領域において対応のワード線と接続される低抵抗の導電線を含み、

前記第1および第2のグローバル信号入出力線対は、前記複数のメモリアレイブロックのうちの少なくとも1つのメモリアレイブロックのワード線シャント領域を縦断するようにして設けられる、請求項6ないし11のいずれかに記載の同期型半導体記憶装置。

【請求項13】 前記第1および第2のグローバル信号入出力線対の各々は互いに異なるワード線シャント領域を縦断するようにして設けられる、請求項12に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は同期型半導体記憶装置に関する、特に、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取り込む同期型半導体記憶装置に関する。

【0002】

【従来の技術】 主記憶として用いられるダイナミックランダムアクセスメモリ（以下、DRAMと称す。）は高速化されているものの、その動作速度は依然マイクロプロセッサ（以下、MPUと称す。）の動作速度に追随することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよく言われる。近年高速MPUのための主記憶としてクロック信号に同期して動作する同期型DRAM（シンクロナスDRAM；以下、SDRAMと称す。）を用いることが提案されている。高井らは1ビットごとにデータの書込を行なうパイン動作のSDRAMを発表し（1993 Symposium

on VLSI circuit)、Choiらは2ビットごとにデータの書込みを行なう2ビットプリフェッチのSDRAMを発表した(1993 Symposium on VLSI circuit)。以下、パイプライン動作のSDRAMと2ビットプリフェッチのSDRAMを順に説明する。

【0003】図19は従来のパイプライン動作のSDRAMの主要部の構成を機能的に示すブロック図である。図19においては、×8ビット構成のSDRAMの1ビットの入出力データに関連する機能的部分の構成が示される。データ入出力端子DQ_iに関連するアレイ部分は、バンク#1を構成するメモリアレイ51aと、バンク#2を構成するメモリアレイ51bを含む。

【0004】バンク#1のメモリアレイ51aに対しては、アドレス信号X₀～X_jをデコードしてメモリアレイ51aの対応の行を選択する複数のロウデコーダを含むXデコーダ群52aと、列アドレス信号Y₃～Y_kをデコードしてメモリアレイ51aの対応の列を選択する列選択信号を発生する複数のコラムデコーダを含むYデコーダ群53aと、メモリアレイ51aの選択された行に接続されるメモリセルのデータを検知し増幅するセンスアンプ群54aとが設けられる。

【0005】Xデコーダ群52aは、メモリアレイ51aの各ワード線に対応して設けられるロウデコーダを含む。アドレス信号X₀～X_jに従って対応のロウデコーダが選択状態となり、選択状態とされたロウデコーダに対して設けられたワード線が選択状態となる。

【0006】Yデコーダ群53aは、メモリアレイ51aの列選択線それぞれに対して設けられるコラムデコーダを含む。1本の列選択線は、8対のビット線を選択状態とする。Xデコーダ群52aおよびYデコーダ群53aにより、メモリアレイ51aにおいて8ビットのメモリセルが同時に選択状態とされる。Xデコーダ群52aおよびYデコーダ群53aは、それぞれバンク指定信号B1により活性化されるように示される。

【0007】バンク#1には、さらに、センスアンプ群54aにより検知増幅されたデータを伝達するとともに書込データをメモリアレイ51aの選択されたメモリセルへ伝達するための内部データ伝達線(グローバルIO線)のバスG1Oが設けられる。グローバルIO線バスG1Oは同時に選択された8ビットのメモリセルと同時にデータの授受を行なうために8対のグローバルIO線を含む。

【0008】データ読出のために、バンク#1においてグローバルIO線バスG1O上のデータをプリアンプ活性化信号φPA1に応答して活性化されて増幅するプリアンプ群55aと、プリアンプ群55aで増幅されたデータを格納するためのリード用レジスタ56aと、リード用レジスタ56aに格納されたデータを順次出力するための出力バッファ57aとが設けられる。

【0009】プリアンプ群55aおよびリード用レジス

タ56aは、8対のグローバルIO線に対応してそれぞれ8ビット幅の構成を備える。リード用レジスタ56aは、レジスタ活性化信号φR_r1に応答してプリアンプ群55aの出力するデータをラッチしつつ順次出力する。

【0010】出力バッファ57aは、出力イネーブル信号φOE1に応答して、リード用レジスタ56aから順次出力される8ビットのデータをデータ入出力端子DQ_iへ伝達する。図19においては、データ入出力端子DQ_iを介してデータ入力およびデータ出力が行なわれるよう示される。このデータ入力およびデータ出力は別々の端子を介して行なわれる構成であってもよい。

【0011】データの書込みを行なうために、入力バッファ活性化信号φDB1に応答して活性化され、データ入出力端子DQ_iに与えられた入力データから内部書込データを生成する1ビット幅の入力バッファ58aと、レジスタ活性化信号φRW1に応答して活性化され、入力バッファ58aから伝達された書込データを順次(ラップアドレスに従って)格納するライト用レジスタ59aと、書込バッファ活性化信号φWB1に応答して活性化され、ライト用レジスタ59aに格納されたデータを増幅してグローバルIO線対バスG1Oへ伝達するライトバッファ群60aと、イコライズ回路活性化信号φEQ1に応答して活性化され、グローバルIO線対バスG1Oのイコライズを行なうイコライズ回路群61aとが設けられる。

【0012】ライトバッファ群60aおよびライトレジスタ59aはそれぞれ8ビット幅を有する。

【0013】バンク#2も同様に、メモリアレイ51b、Xデコーダ群52b、Yデコーダ群53b、センスアンプ活性化信号φSA2に応答して活性化されるセンスアンプ群54b、プリアンプ活性化信号φPA2に応答して活性化されるプリアンプ群55b、レジスタ活性化信号φR_r2に応答して活性化されるリード用レジスタ56b、出力イネーブル信号φOE2に応答して活性化される出力バッファ57b、イコライズ回路活性化信号φEQ2に応答して活性化されるイコライズ回路群61b、バッファ活性化信号φWB2に応答して活性化されるライトバッファ群60b、レジスタ活性化信号φRWに応答して活性化されるライト用レジスタ59b、およびバッファ活性化信号φDB2に応答して活性化される入力バッファ58bを含む。

【0014】バンク#1の構成とバンク#2の構成は同一である。リード用レジスタ56aおよび56bならびにライト用レジスタ59aおよび59bを設けることにより1つのデータ入出力端子DQ_iに対し高速のクロック信号に同期してデータの入出力を行なうことが可能となる。

【0015】バンク#1および#2に対する各制御信号については、バンク指定信号B1およびB2に従ってい

すれか一方のバンクに対する制御信号のみが発生される。

【0016】図19に示す機能ブロック300が各データ入出力端子に対して設けられる。×8ビット構成のSDRAMの場合、機能ブロック300を8個含む。

【0017】バンク#1および#2をほぼ同一構成とし、バンク指定信号B1およびB2により一方のみを選択することにより、バンク#1および#2は互いにほぼ完全に独立して動作することが可能となる。

【0018】データ読出用レジスタ56aおよび56bとデータ書込用のレジスタ59aおよび59bとを別々に設けるとともにそれぞれバンク#1および#2に対して設けることにより、データ読出および書込の動作モード切換時およびバンク切換時においてデータが衝突することがなく、正確なデータの読出および書込を実行することができる。

【0019】バンク#1および#2をそれぞれ独立に駆動するための制御系として、第1の制御信号発生回路62、第2の制御信号発生回路63およびクロックカウンタ64が設けられる。

【0020】第2の制御信号発生回路62は、外部から与えられる制御信号、すなわち、外部ロウアドレスストローブ信号ext./RAS、外部コラムアドレスストローブ信号ext./CAS、外部出力イネーブル信号ext./OE、外部書込イネーブル信号(書込許可信号)ext./WEおよびマスク指示信号WMをたとえばシステムクロックである外部クロック信号CLKに同期して読み込み、内部制御信号φxa、φya、φw、φo、φR、およびφCを発生する。

【0021】第2の制御信号発生回路63は、バンク指定信号B1およびB2と、内部制御信号φw、φo、φRおよびφCとクロックカウンタ64の出力に応答してバンク#1および#2をそれぞれ独立に駆動するための制御信号、すなわち、イコライズ回路活性化信号φEQ1、φEQ2、センスアンプ活性化信号φSA1、φSA2、プリアンプ活性化信号φPA1、φPA2、ライトバッファ活性化信号φWB1、φWB2、入力バッファ活性化信号φDB1、φDB2、および出力バッファ活性化信号φOE1、φOE2を発生する。

【0022】SDRAMはさらに、周辺回路として、内部制御信号φxaに応答して外部アドレス信号ext./A0ないしext./Aiを取り込み、内部アドレス信号X0～Xjとバンク選択信号B1およびB2を発生するXアドレスバッファ65と、内部制御信号φyaに応答して活性化され、列選択線を指定するための列選択信号Y3～Ykと、連続アクセス時における最初のビット線対(列)を指定するラップアドレス用ビットY0～Y2と、バンク指定信号B1およびB2を発生するYアドレスバッファ66と、ラップアドレスWY0～WY7とリード用レジスタ56aおよび56bを制御するための

レジスタ駆動用信号φRr1およびφR2ならびにライト用レジスタ59aおよび59bを駆動するための制御信号φRw1およびφRw2を発生するレジスタ制御回路67を含む。

【0023】レジスタ制御回路67へは、またバンク指定信号B1およびB2が与えられ、選択されたバンクに対してのみレジスタ駆動用信号が発生される。

【0024】図20は、従来のSDRAMのチップレイアウトを示す図である。図20においては、一例として、2Mワード×8ビット構成の16MビットSDRAMのチップレイアウトが示される。

【0025】SDRAMは、各々が4Mビットの記憶容量を有する4つのメモリマットMM1ないしMM4を含む。メモリマットMM1ないしMM4の各々は、それぞれ256Kビットの記憶容量を有する16個のメモリアレイMA1～MA16を含む。

【0026】メモリマットMM1ないしMM4の一方側にチップ長辺方向に沿ってロウデコーダRD1ないしRD4がそれぞれ配置される。また、メモリマットMM1ないしMM4のチップ中央側に、短辺方向に沿ってコラムデコーダCD1ないしCD4がそれぞれ配置される。コラムデコーダCD(コラムデコーダCD1ないしCD4を総称的に示す場合、符号CDを用いる)の出力には、それぞれ、対応のメモリマットMM(メモリマットMM1ないしMM4を総称的に示す場合、MMを用いる)の各アレイを横切って延びる列選択線CSLが配置される。1本の列選択線CSLは、4対のビット線を同時に選択状態とする。

【0027】内部データを伝達するためのグローバルI/O線対GIOがまた、メモリマットMMの長辺方向に沿って各アレイを横切るように配置される。

【0028】メモリマットMM1ないしMM4のそれぞれに対して、チップ中央側に、選択されたメモリセルが読み出されたデータの増幅を行なうためのプリアンプPAと選択されたメモリセルへの書込データを伝達するためのライトバッファWBとからなる入出力回路PW1ないしPW4が配置される。

【0029】チップ中央部には、アドレス信号を発生するための回路および制御信号を発生するための回路などを含む周辺回路PHが配置される。

【0030】図20に示すSDRAMは、図19に示すように、互いに独立にプリチャージ動作および活性化動作(ワード線選択およびセンス動作ならびに列選択動作)を行なうことのできる2つのバンク#1および#2を備える。バンク#1は、メモリマットMM1およびMM2を含み、バンク#2はメモリマットMM3およびMM4を含む。このバンクの数は、変更可能である。

【0031】メモリマットMM1ないしMM4の各々は、2つのアレイブロック(記憶容量2Mビット)を備える。1つのアレイブロックはメモリアレイMA1ないし

11

しMA 8から構成され、他方のアレイブロックはメモリアレイMA 9ないしMA 16から構成される。1つのアレイブロックにおいて最大1つのメモリアレイが選択される。

【0032】同時に活性化されるメモリアレイの数は4個である。すなわち、選択されたバンクにおいて、各メモリマットの各アレイブロックから1つのメモリアレイが選択される。たとえば、メモリアレイMA 16とMA 7、MA 15とMA 8、MA 14とMA 5、MA 13とMA 6、MA 12とMA 3、MA 11とMA 4、MA 10とMA 1、MA 9とMA 2がペアで活性化される。図18においては、メモリマットMM3のメモリアレイMA 7およびMA 16と、メモリマットMM4のメモリアレイMA 7およびMA 16が活性化された状態が示される。

【0033】同時に選択される列選択線CSLの数は2本である。1本の列選択線CSLは4対のピット線を選択する。したがって、同時に $2 \times 4 = 8$ ピットのメモリセルが選択される。

【0034】入出力回路PWは、対応のメモリマットMMの各メモリアレイに対し共通に利用される。1つの入出力回路PWに含まれるプリアンプPAおよびライトバッファWBの数は、それぞれ4個であり、SDRAM全体ではそれぞれ16個($= 4 \times 4$)である。

【0035】チップ中央側に集中的に配置されるプリアンプPAおよびライトバッファWB(入出力回路PW)は、周辺回路PHに含まれる制御回路により駆動される。これにより、プリアンプPAおよびライトバッファWBの動作を制御するための信号線が短くなり、したがって、信号線の負荷が小さくなり、高速動作を実現することができる。

【0036】また、周辺回路PHをチップ中央部に集中的に配置することにより、データの入出力がこのチップ中央部を介して行なわれることとなり、パッケージ実装時におけるピン配置としては、データ入出力端子がパッケージ中央部に配置されることになる。したがって、周辺回路PHとデータ入出力端子との距離が短くなり、高速でデータの入出力を行なうことができる。

【0037】図21は、図20に示すSDRAMのIO線の配置を具体的に示す図である。図21において、2つの2MビットメモリアレイMSA1およびMSA2が示される。2MビットメモリアレイMSA2は、チップ中央部から遠い位置に配置される2Mビットアレイブロックであり、2MビットメモリアレイMSA1は、チップ中央部に近い2Mビットアレイブロックを示す。

【0038】2MビットメモリアレイMSA1およびMSA2は、ともに、8行8列に配置された64個の32KビットメモリアレイMKを含む。ワード線WLの方向に沿って隣接する32KビットメモリアレイMKの間にワード線シャント領域WSが設けられる。通常、DR

12

AMにおいては、ワード線の抵抗を下げるためにポリシリコンで構成されるワード線WLと平行にアルミニウムなどの低抵抗の金属配線を配置し、このポリシリコンワード線と低抵抗の金属配線とを所定の間隔で電気的に接続する。このポリシリコンワード線と低抵抗の金属配線とを接続するための領域をワード線シャント領域と称する。このワード線シャント領域においては、ピット線BLの下層に存在するポリシリコンワード線とピット線の上層に存在する低抵抗の金属配線層とを接続する必要があるため、この領域においてはピット線すなわちメモリセルが存在しない。

【0039】メモリマットMMの長辺に沿って1つのグローバルIO線対GIOが配置される。また、図21に示される7つのワード線シャント領域WS1ないしWS7のうちの3つのワード線シャント領域WS2、WS4およびWS6の各々にグローバルIO線対が1つずつ配置される。2つのグローバルIO線対が1つの2MビットメモリアレイMSAにより利用される。

【0040】グローバルIO線対GIOと選択された256KビットメモリアレイMAとを接続するためにローカルIO線対LIOが設けられる。1つの256KビットメモリアレイMAに対して、一方側に配設されるローカルIO線対LIOと他方側に配設されるローカルIO線対LIOと合計2対のローカルIO線対LIOが配置される。ローカルIO線対LIOは、隣接する2つの256KビットメモリアレイMAによって共有される。

【0041】グローバルIO線対GIOとローカルIO線対LIOとを接続するためにブロック選択スイッチBSが配置される。ブロック選択スイッチBSは、メモリマットMMの端部と3つのワード線シャント領域WS2、WS4およびWS6に順に1つずつ配置される。

【0042】コラムデコーダからの列選択信号を伝達する列選択線CSLは、メモリマットMMにおいて1本が選択状態とされる。1本の列選択線CSLはチップ中央部から遠い2MビットメモリアレイMSA2において2つのピット線対BLPを選択して対応のローカルIO線対LIOへ接続しかつチップ中央部に近い2MビットメモリアレイMSA1において2つのピット線対BLPを選択して対応のローカルIO線対LIOへ接続する。

【0043】すなわち、1本の列選択線CSLにより4つのピット線対BLPが選択状態とされ、ローカルIO線対LIOを介して4つのグローバルIO線対GIOに接続される。2つのメモリマットMMが選択され、かつ1つのメモリマットMMにおいて4つのピット線対BLPが選択されるため、合計8つのピット線対BLPが選択されることになり、全体で合計8ピットのメモリセルに同時にアクセスすることが可能である。

【0044】図22は図21のZ部拡大図である。図22において、メモリアレイは、いわゆる交互配置型シェアードセンスアンプ構成を備える。すなわち、メモリア

レイMK1とMK2で共用されるローカルIO線対LIO2とセンスアンプ列SAC2がメモリアレイMK1とMK2の間の領域に設けられる。センスアンプ列SAC2のセンスアンプSAは、メモリアレイMK1およびMK2のたとえば偶数番のビット線対BLPに対応して設けられる。

【0045】また、メモリアレイMK2とMK3で共用されるローカルIO線対LIO3とセンスアンプ列SAC3がメモリアレイMK2とMK3の間の領域に設けられる。センスアンプ列SAC2のセンスアンプSAは、メモリアレイMK2およびMK3のたとえば奇数番のビット線対BLPに対応して設けられる。

【0046】たとえばメモリアレイMK2が選択された場合は、図22に示すように、センスアンプ列SAC2およびSAC3の各センスアンプSAはメモリアレイMK2の対応のビット線対と接続される。センスアンプ列SAC2のうちの選択された列に対応するセンスアンプSAはローカルIO線対LIO2に接続され、さらにブロック選択スイッチBSを介してグローバルIO線対GIOに接続される。また、センスアンプ列SAC3のうちの選択された列に対応するセンスアンプSAはローカルIO線対LIO3に接続され、さらに図示しないブロック選択スイッチBSを介して図示しないグローバルIO線対GIOに接続される。

【0047】図23は、1つの32KビットメモリアレイMK2に関連する部分の構成を示す一部省略した回路図である。図23においては、簡単化のため、メモリアレイMK2のうちローカルIO線対LIO2およびセンスアンプ列SAC2に関連する部分のみが示され、ローカルIO線対LIO3およびセンスアンプ列SAC3に関連する部分は省略される。

【0048】図23を参照して、32KビットメモリアレイMK2は、ロウデコーダからの行選択信号が伝達されるワード線WLと、このワード線WLと交差する方向に配置されるビット線対BLPと、ワード線WLとビット線対BLPとの交差部に対応して配置されるダイナミック型メモリセルMCを含む。

【0049】メモリセルMCは、アクセス用のトランジスタと、情報記憶用のキャバシタとを含む。ビット線対BLPは、互いに相補的な信号が伝達されるビット線BLおよび/BLを含む。図23においては、ビット線BLとワード線WLとの交差部に対応してメモリセルMCが配置されている状態が示される。

【0050】図示しないメモリアレイMK1のローカルIO線対LIO2側の端部にアレイ選択ゲートSAG1が配置され、メモリアレイMK2のローカルIO線対LIO2側の端部にアレイ選択ゲートSAG2が配置される。アレイ選択ゲートSAG1は、アレイ選択信号A1に応答して導通状態となり、アレイ選択ゲートSAG2はアレイ選択信号A2に応答して導通状態となる。

メモリアレイMK1およびMK2のビット線対BLPがそれぞれアレイ選択ゲートSAG1およびSAG2を介してセンスアンプ列SAC2のセンスアンプSAに接続される。センスアンプSAはセンスアンプ活性化信号SONによって活性化される。

【0051】各センスアンプSAに対し、このセンスアンプSAに接続されたビット線BL, /BLにプリチャージ電位Vcc/2を与えるためのビット線イコライズ回路EQB2が設けられる。ビット線イコライズ回路EQB2は、データ読出動作時においてセンスアンプSAが活性化される前の期間に、ビット線イコライズ信号BLEQによって活性化される。

【0052】また、各センスアンプSAに対してこのセンスアンプSAにより検知増幅されたデータをローカルIO線対LIO2へ伝達するための列選択ゲートCSG2が設けられる。ローカルIO線対LIOにプリチャージ電位Vccを与えるためのローカルIO線イコライズ回路EQL2が設けられる。ローカルIO線対イコライズ回路EQL2は、データ書込動作時においてライトバッファWBが活性化される前の期間に、ローカルIO線イコライズ信号LIOEQによって活性化される。ローカルIO線対LIO2とグローバルIO線対GIOとの間に、ブロック選択信号Bに応答して導通するブロック選択スイッチBSが設けられる。

【0053】次に、動作について簡単に説明する。選択されたワード線WLがメモリアレイMK2に含まれる場合、アレイ選択信号A2が活性状態となり、メモリアレイMK2に含まれるビット線対BLPがセンスアンプ列SAC2のセンスアンプSAに接続される。メモリアレイMK1に対して設けられたアレイ選択ゲートSAG1は非導通状態となる。メモリアレイMK1はプリチャージ状態を維持する。

【0054】メモリアレイMK2においては、各ビット線対BLPにおいてメモリセルデータが現われた後、センスアンプSAが活性化され、このメモリセルデータを検知し増幅する。

【0055】次いで、列選択線CSL上の信号が活性状態の「H」レベルに立上がるとき、対応の列選択ゲートCSG2が導通し、センスアンプSAで検知増幅されたデータがローカルIO線対LIO2へ伝達される。

【0056】続いてまたは同時にブロック選択信号Bが活性状態の「H」レベルとなり、ローカルIO線対LIO2がグローバルIO線対GIOへ接続される。データ読出時においては、このグローバルIO線対のデータがプリアンプPAを介して増幅されて読出用レジスタに格納された後に順次出力される。データ書込時においては、ライトバッファWBから与えられた書込データがグローバルIO線対GIO、およびローカルIO線対LIOを介して選択されたビット線対BLPへ伝達され、メモリセルへのデータの書込が実行される。

【0057】 ブロック選択信号 ϕB は、選択ワード線 W しが属するメモリアレイ MK 2 に対してのみ活性状態となる。アレイ選択信号 $\phi A 1$ および $\phi A 2$ も同様である。ブロック選択信号 ϕB ならびにアレイ選択信号 ϕA および $\phi A 2$ は、行アドレス信号の所定数のビット（たとえば4ビット）を用いて生成することができる。

【0058】 図24は、このようなSDRAMにおいて連続して8ビットのデータを読出す動作を行なうときの外部信号の状態を示すタイミングチャートである。なお、連続的に読出されまたは書込まれるデータのビット数はバースト長と呼ばれ、SDRAMではモードレジスタによって変更することができる。

【0059】 SDRAMにおいては、たとえばシステムクロックである外部からのクロック信号CLKの立上がりエッジで外部からの制御信号やアドレス信号Addなどが取込まれる。アドレス信号Addは、時分割的に多重化された行アドレス信号Xと列アドレス信号Yを含む。

【0060】 サイクル1におけるクロック信号CLKの立上がりエッジにおいて、外部ロウアドレスストローブ信号ext. /RASが活性化状態の「L」レベル、外部コラムアドレスストローブ信号ext. /CASおよび外部ライトイネーブル信号ext. /WEが「H」レベルであれば、そのときのアドレス信号Addが行アドレス信号Xaとして取込まれる。

【0061】 次いで、サイクル4におけるクロック信号CLKの立上がりエッジにおいて、外部コラムアドレスストローブ信号ext. /CASが活性化状態である、「L」レベルにあれば、そのときのアドレス信号Addが列アドレス信号Ybとして取込まれる。この取込まれた行アドレス信号Xaおよび列アドレス信号Ybに従ってSDRAM内において行および列選択動作が実施される。外部ロウアドレスストローブ信号ext. /RASが「L」レベルに立下がってから所定のクロック期間（図24においては6クロックサイクル）が経過した後、最初のデータb0が出力される。以後、クロック信号CLKの立下がりに応答してデータb1～b7が出力される。

【0062】 図25は、SDRAMにおいて連続して8ビットのデータを書込む動作を行なうときの外部信号の状態を示すタイミングチャートである。

【0063】 書込動作においては、行アドレス信号Xaの取込みはデータ読出時と同様である。すなわち、サイクル1におけるクロック信号CLKの立上がりエッジにおいて信号ext. /RASが活性化状態の「L」レベル、信号ext. /CASおよびext. /WEが「H」レベルであれば、そのときのアドレス信号Addが行アドレス信号Xaとして取込まれる。サイクル3におけるクロック信号CLKの立上がりエッジにおいて信号ext. /CASおよびext. /WEがともに活性

状態の「L」レベルであれば、列アドレス信号Ybが取込まれるとともに、そのときに与えられていたデータb0が最初の書きデータとして取込まれる。この信号ext. /RASおよびext. /CASの立上がりエッジに応答してSDRAM内部において行および列選択動作が実行される。クロック信号CLKに同期して順次入力データb1～b7が取込まれる。順次メモリセルにこの入力データが書き込まれる。

【0064】 図26は、SDRAMの書き動作時に活性化されるイコライズ回路EQGおよびライトバッファWBの具体的な構成を示す回路ブロック図である。図26ではバンク#1のイコライズ回路EQGおよびライトバッファWBが示される。

【0065】 図26を参照して、イコライズ回路EQGは、NチャネルMOSトランジスタTr1、Tr2およびTr3を含む。MOSトランジスタTr1のソースはグローバルIO線G1OLに接続され、そのドレインは電源電位Vccを受ける。MOSトランジスタTr2のソースはグローバルIO線/G1OLに接続され、そのドレインは電源電位Vccを受ける。MOSトランジスタTr3はグローバルIO線G1OLと/G1OLの間に接続される。MOSトランジスタTr1、Tr2およびTr3のゲートはともにイコライズ回路活性化信号 $\phi EQ1$ を受ける。

【0066】 また、ライトバッファWBは、NチャネルMOSトランジスタTr4、Tr5およびTr6を含む。MOSトランジスタTr4のドレインはグローバルIO線G1OLに接続され、そのソースはノードN1に接続され、そのゲートはライト用レジスタ59aの一方出力ノードWRaに接続される。MOSトランジスタTr5のドレインはグローバルIO線/G1OLに接続され、そのソースはノードN1に接続され、そのゲートはライト用レジスタ59aの他方出力ノードWRbに接続される。MOSトランジスタTr6のドレインはノードN1に接続され、そのソースは接地され、そのゲートはライトバッファ活性化信号 $\phi WB1$ を受ける。

【0067】 図27は、図26に示した回路の連続書き動作（バースト長=4）を示すタイミングチャートである。図26および図27を参照して、図26の回路の動作について説明する。予め信号 $\phi EQ1$ が所定の時間だけ活性化状態の「H」レベルになってイコライズ回路EQGのMOSトランジスタTr1、Tr2およびTr3がともに導通状態となり、グローバルIO線G1OLおよび/G1OLが所定の電位Vcc-Vth（ただし、VthはMOSトランジスタのしきい値電圧である。）に充電される。

【0068】 信号/CASが活性状態の「L」レベルとなって連続書きコマンドが与えられたことに応じて、信号 $\phi WB1$ が活性化状態の「H」レベルになるとライトバッファWBのMOSトランジスタTr6が導通状態と

なる。このときライト用レジスタ59aが信号φRW1によって活性化され、外部から与えられたデータ信号に応じて2つの出力ノードWRaおよびWRbのうちの一方に「H」レベルを出力すると、ライトバッファWBのMOSトランジスタTr4またはTr5が導通状態となり、グローバルIO線GIOまたは/GIOを接地させる。グローバルIO線対GIOの電位は、選択されたローカルIO線対LIOおよびピット線対BLを介して所望のアドレスのメモリセルMCに書き込まれる。

【0069】次いで、信号φEQ1が活性状態の「H」レベルとなり、グローバルIO線対GIOのイコライズが行なわれる。書き込みおよびイコライズは1クロックサイクルで行なわれる。ただし、1ビット目は外部アドレス信号を内部アドレス信号にデコードする必要があるので、1ビット目の書き込み時間は2ビット目以降の書き込み時間よりも短くなる。パンク#2のイコライズ回路EQGおよびライトバッファWBも同様である。

【0070】図28は、ランダム書き込み動作時における外部信号およびグローバルIO線対GIOの電位の変化を示すタイミングチャートである。ランダム書き込み動作においては、信号/CASが「L」レベルになるたびに独立にアドレス信号Addおよびデータ信号などが取込まれ、各アドレス信号Addに応じたアドレスのメモリセルMCにデータが書き込まれる。ランダム書き込み動作時においても、連続書き込み動作時と同様、書き込みおよびイコライズは1クロックサイクルで行なわれる。

【0071】上述のように、SDRAMはクロック信号CLKの立上がりエッジで外部制御信号ext./RAS、ext./CAS、アドレス信号Add、データ信号などを取込んで動作するので、外部制御信号ext./RAS、ext./CASなどに同期してアドレスやデータなどを読み込み動作していた従来のDRAMに比べてアドレスなどのスキー（タイミングのずれ）によるデータ入出力のマージンを確保せずに済み、サイクルタイムを高速化できるという利点を有する。また、システムによっては連続した数ビットにアクセスする頻度が高い場合があり、この連続アクセスタイムを高速にすることによって、平均アクセスタイムをスタティックランダムアクセスメモリ(SRAM)に匹敵させることができる。

【0072】図29は、従来の2ビットプリフェッチのSDRAMの主要部の構成を機能的に示す図であって、図19と対比される図である。このSDRAMにおいてもパンク#1と#2は全く同じ構成であるので、パンク#1に関連する部分のみを説明する。また、図面の簡略化のため図19で示した制御信号発生回路62などは省略される。

【0073】図29を参照して、このSDRAMでは、各機能ブロック400において2系統のグローバルIO線対GIOおよびGIO'を備えたメモリアレイ71a

が設けられる。一方のグローバルIO線対GIOに対応してプリアンプ群55aおよびリード用レジスタ56aが設けられ、他方のグローバルIO線対GIO'に対応してプリアンプ群55a'およびリード用レジスタ56a'が設けられる。2つのリード用レジスタ56aおよび56a'の出力を切換えて出力バッファ57aに与えるためのセレクタ68aが設けられる。セレクタ68aは、制御信号発生回路63から出力されるセレクタ制御信号φSER1によって制御される。

【0074】また、一方のグローバルIO線対GIOに対応してライト用レジスタ59aおよびライトバッファ群60aが設けられ、他方のグローバルIO線対GIO'に対応してライト用レジスタ59a'およびライトバッファ群60a'が設けられる。入力バッファ58aの出力を切換えて2つのライト用レジスタ59aまたは59a'に与えるためのセレクタ69aが設けられる。セレクタ69aは、制御信号発生回路63から出力されるセレクタ制御信号φSEW1によって制御される。イコライズ回路群61aは、2系統のグローバルIO線対GIOおよびGIO'に共通に設けられる。

【0075】図30は、図29で示したSDRAMのIO線の配置を具体的に示す図であって、図21と対比される図である。このSDRAMでは、メモリマットMMの長辺に沿って2組のグローバルIO線対GIOおよびGIO'が配置され、3つのワード線シャント領域WS2、WS4およびWS6のそれぞれに2組のグローバルIO線対GIOおよびGIO'が配置される。

【0076】2組のグローバルIO線対GIOおよびGIO'を選択された256KビットメモリアレイMAを接続するために2組のローカルIO線対LIOおよびLIO'が設けられる。1つの256KビットメモリアレイMAに対して、一方側に配設される2組のローカルIO線対LIOおよびLIO'と他方側に配設される2組のローカルIO線対LIOおよびLIO'を合計4組のローカルIO線対が配設される。2組のローカルIO線対LIOおよびLIO'は、隣接する2つの256KビットメモリアレイMAによって共用される。

【0077】グローバルIO線対GIOとローカルIO線対LIOとを接続するためにブロック選択スイッチBSが配置される。また、グローバルIO線対GIO'とローカルIO線対LIO'とを接続するためにブロック選択スイッチBS'が配置される。2組のブロック選択スイッチBSおよびBS'は、メモリマットMMの端部と3つのワード線シャント領域WS2、WS4およびWS6に順に配置される。

【0078】図31は、1つの32KビットメモリアレイMKに関連する部分の構成を示す一部省略した回路ブロック図であって、図23と対比される図である。図31を参照して、このSDRAMでは、上述のとおり2組のグローバルIO線対GIOおよびGIO'、ローカル

10 線対 LIO2 および LIO2'、ならびにブロック選択スイッチ BS および BS' が設けられる。2組のローカル I/O 線対 LIO2 および LIO2' に対応して2組のローカル I/O 線対イコライズ回路 EQL2 および EQL2' が設けられる。

【0079】2組のビット線対 BLP に対応して1本の列選択線 CSL が配置される。1本の列選択線 CSL によって選択される2組のビット線対 BLP は、列選択ゲート CSG2 を介して2組のローカル I/O 線対 LIO2 および LIO2' に接続される。

【0080】図32は、図29に示したSDRAMの書込動作に関する部分の構成を具体的に示す回路ブロック図であって、図26と対比される図である。

【0081】図32を参照して、このSDRAMでは、グローバル I/O 線対 GIO に対応してライトバッファ WB およびイコライズ回路 EQG が設けられ、グローバル I/O 線対 GIO' に対応してライトバッファ WB' およびイコライズ回路 EQG' が設けられる。ライトバッファ WB および WB' は、それぞれ信号 φWB1 および φWB1' によって活性化される。イコライズ回路 EQG および EQG' は、ともに信号 φEQ1 によって活性化される。

【0082】図33は、図32に示した回路の連続書込動作(バースト長=4)を示すタイミングチャートである。図32および図33を参照して、図32の回路の動作について説明する。

【0083】データは、書込コマンドが入力されたときのアドレスの下位1ビットに応じ、ライト用レジスタ 59a または 59a' に振り分けられる。図33では下位アドレスが「0」の場合が示される。最初のデータはライト用レジスタ 59a にストアされ、信号 WB1 が活性状態の「H」レベルになったことに応じてグローバル I/O 線対 GIO に与えられる。次のクロック信号 CLK の立上がりエッジで与えられるデータはライト用レジスタ 59a' にストアされ、信号 φWB1' が活性状態の「H」レベルになったことに応じてグローバル I/O 線対 GIO' に与えられる。

【0084】グローバル I/O 線対 GIO および GIO' に与えられたデータは、対応のローカル I/O 線対 LIO および LIO' ならびに2組のビット線対 BLP を介して、選択された2つのメモリセル MC に書込まれる。書込終了後、信号 EQ1 が活性状態の「H」レベルとなり、2組のグローバル I/O 線対 GIO および GIO' が同時にイコライズされる。グローバル I/O 線対 GIO および GIO' のイコライズは2クロックサイクルごとに行なわれる。

【0085】

【発明が解決しようとする課題】パイプライン動作の SDRAM の長所は、データを1ビット書込むごとにグローバル I/O 線対 GIO をイコライズして次のデータ書込

に備えるので、1ビット単位のランダム書込を行なうことができる点である。すなわち、図27中の○印のタイミングで書込をストップして、新たに入力されるアドレスにデータを書込むことができる。

【0086】しかし、パイプライン動作の SDRAM は、浮遊容量の大きい I/O 線を1クロックサイクル内に振幅させてデータを書込む必要があるので、動作周波数の高速化を図ることが困難であるという短所を有する。

【0087】一方、2ビットプリフェッチの SDRAM の長所は、2クロックサイクルごとにデータを書込むので、パイプライン動作の SDRAM の2倍の時間でデータ書込を行なうことができ、動作周波数の高速化を図ることが容易な点である。

【0088】しかし、2ビットプリフェッチの SDRAM は、2クロックサイクルごとに I/O 線をイコライズするので、1ビット単位のランダム書込を行なうことができないという短所を有する。すなわち、図33中の○印のタイミングでしか書込をストップして、新たに入力されるアドレスにデータを書込むことができない。このため、2ビットプリフェッチの SDRAM を、2ビット単位でのランダム書込動作が必要とされるメモリ(たとえば画像処理用のメモリ)として使用することができなかった。

【0089】つまり、従来の SDRAM では、動作周波数の高速化を図るためにランダム書込を犠牲にしなければならず、ランダム書込を行なうためには動作周波数の高速化を犠牲にしなければならなかつた。

【0090】それゆえに、この発明の主たる目的は、高速動作が可能で、かつランダム書込が可能な同期型半導体記憶装置を提供することである。

【0091】

【課題を解決するための手段】この発明の第1の同期型半導体記憶装置は、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取り込む同期型半導体記憶装置であって、行列状に配列された複数のメモリセルを含むメモリアレイ、前記メモリアレイとデータ信号の入出力を行なうための第1および第2の信号入出力線対、前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、前記アドレス信号に従って前記メモリアレイのうちのいずれかのメモリセルを連続的に選択する選択回路、前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択されたメモリセルの各々を前記第1または第2の信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備えたことを特徴としている。

【0092】また、前記データ入出力回路は、前記第1および第2の信号入出力線対に共通に設けられたデータ読出回路、前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端を1クロックサイクルずつ交互に前記データ読出回路に接続する第1の切換回路、前記第1および第2の信号入出力線対に共通に設けられたデータ書込回路、前記内部クロック信号に応答して、前記第1または第2の信号入出力線対の他端を1クロックサイクルずつ交互に前記データ書込回路に接続する第2の切換回路、前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1の信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含むこととしてもよい。

【0093】また、前記データ入出力回路は、前記第1の信号入出力線対に応答して設けられた第1のデータ読出回路、前記第2の信号入出力線対に応答して設けられた第2のデータ読出回路、前記内部クロック信号に応答して、前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、前記第1の信号入出力線対に応答して設けられた第1のデータ書込回路、前記第2の信号入出力線対に応答して設けられた第2のデータ書込回路、前記内部クロック信号に応答して、外部から前記第1または第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1の信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含むこととしてもよい。

【0094】また、この発明の第2の同期型半導体記憶装置は、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、行列状に配列された複数のメモリセルを含むメモリアレイ、前記メモリアレイとデータ信号の入出力を行なうための第1および第2の信号入出力線対、前記アドレス信号に従って前記メモリアレイのうちのいずれかのメモリセル対を連続的に選択する選択回路、前記選択回路によって選択されたメモリセル対の各々を前記第1および第2の信号入出力線対の一端に接続する接続回路、および最初の2クロックサイクルにおいては前記第1および第2の信号入出力線対の他端と2ビットのデータ信号の授受を行なうための第1および第2の信号入出力線対の他端と1クロックサイクルずつ交互に1ビットのデータ信号の授受を行なうデータ入出力回路を備えたことを特徴としている。

【0095】また、前記データ入出力回路は、前記第1

の信号入出力線対に対応して設けられた第1のデータ読出回路、前記第2の信号入出力線対に対応して設けられた第2のデータ読出回路、前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、前記第1の信号入出力線対に応答して設けられた第1のデータ書込回路、前記第2の信号入出力線対に応答して設けられた第2のデータ書込回路、外部から前記第1または第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、前記第1および第2の信号入出力線対に共通に設けられたイコライズ回路、および前記最初の2クロックサイクルにおいては前記第1および第2のデータ書込回路によって前記2ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2の信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては前記第1または第2のデータ書込回路によって前記1ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2の信号入出力線対のイコライズを行なう書込制御回路を含むこととしてもよい。

【0096】また、この発明の第3の同期型半導体記憶装置は、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたピット線対とを含む複数のメモリアレイブロック、前記複数のメモリアレイブロックの各々に対応して設けられた第1および第2のローカル信号入出力線対、前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、前記アドレス信号に従って前記複数のメモリアレイブロックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセルとを連続的に選択する選択回路、前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択されたメモリセルに対応するピット線対の各々を各ピット線対が属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、前記選択回路によって選択された前記メモリアレイブロックの第1および第2のローカル信号入出力線対の他端の各々を前記第1および第2のグローバル信号入出力線対の一端に接続する接続回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備えたことを特徴としている。

【0097】また、この発明の第4の同期型半導体記憶装置は、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む複数のメモリアレイブロック、前記複数のメモリアレイブロックの各々に対応して設けられたローカル信号入出力線対、前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、前記外部クロック信号を分周して該外部クロック信号の複数倍の周期を有する内部クロック信号を出力する分周回路、前記アドレス信号に従って前記複数のメモリアレイブロックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセルとを連続的に選択する選択回路、前記選択回路によって選択された前記メモリセルに対応するビット線対の各々を各ビット線対が属するメモリアレイブロックのローカル信号入出力線対の一端に接続する接続回路、前記分周回路から出力される前記内部クロック信号に応答して、前記選択回路によって選択された前記メモリアレイブロックのローカル信号入出力線対の他端の各々を前記第1または第2のグローバル信号入出力線対の一端に1クロックサイクルずつ交互に接続する切換回路、および前記分周回路から出力される前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端と1クロックサイクルずつ交互にデータ信号の授受を行なうデータ入出力回路を備えたことを特徴としている。

【0098】また、前記データ入出力回路は、前記第1および第2のグローバル信号入出力線対に共通に設けられたデータ読出回路、前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記データ読出回路に接続する第1の切換回路、前記第1および第2のグローバル信号入出力線対に共通に設けられたデータ書込回路、前記内部クロック信号に応答して、前記第1または第2のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記データ書込回路に接続する第2の切換回路、前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含むこととしてもよい。

【0099】また、前記データ入出力回路は、前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ読出回路、前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ読出回路、前記内部クロック信号に応答して、前記第1または第2のデー

タ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ書込回路、前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ書込回路、前記内部クロック信号に応答して、外部から前記第1または第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記内部クロック信号に応答して、前記第2または第1のグローバル信号入出力線対の他端を1クロックサイクルずつ交互に前記イコライズ回路に接続する第3の切換回路を含むこととしてもよい。

【0100】また、この発明の第5の同期型半導体記憶装置は、外部クロック信号に同期して制御信号、アドレス信号およびデータ信号を含む外部信号を取込む同期型半導体記憶装置であって、各々が、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む複数のメモリアレイブロック、前記複数のメモリアレイブロックの各々に対応して設けられた第1および第2のローカル信号入出力線対、前記複数のメモリアレイブロックに共通に設けられた第1および第2のグローバル信号入出力線対、前記アドレス信号に従って前記複数のメモリアレイブロックのうちのいずれかのメモリアレイブロックとそのメモリアレイブロックに属するいずれかのメモリセル対とを連続的に選択する選択回路、前記選択回路によって選択されたメモリセル対に対応する2組のビット線対の各々を各2組のビット線対が属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に接続する第1の接続回路、前記選択回路によって選択された前記メモリアレイブロックの第1および第2のローカル信号入出力線対の他端の各々を前記第1および第2のグローバル信号入出力線対の一端に2クロックサイクルずつ接続する第2の接続回路、および最初の2クロックサイクルにおいては前記第1および第2のグローバル信号入出力線対の他端と2ビットのデータ信号の授受を一度に行ない、その後は前記第1または第2のグローバル信号入出力線対の他端と2クロックサイクルずつ交互に1ビットのデータ信号の授受の行なうデータ入出力回路を備えたことを特徴としている。

【0101】また、前記データ入出力回路は、前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ読出回路、前記第2のグローバル信号入出力線対に対応して設けられた第2のデータ読出回路、前記第1または第2のデータ読出回路によって読出されたデータ信号を1クロックサイクルずつ交互に外部に出力するための第1の切換回路、前記第1のグローバル信号入出力線対に対応して設けられた第1のデータ書込回路、前

記第2のグローバル信号入出力線対に対応して設けられた第2のデータ書込回路、外部から前記第1または第2のデータ書込回路に1クロックサイクルずつ交互にデータ信号を入力するための第2の切換回路、前記第1および第2のグローバル信号入出力線対に共通に設けられたイコライズ回路、および前記最初の2クロックサイクルにおいては前記第1および第2のデータ書込回路によって前記2ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2のグローバル信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては前記第1または第2のデータ書込回路によって前記1ビットのデータ信号の書込を行なった後に前記イコライズ回路によって前記第1および第2のグローバル信号入出力線対のイコライズを行なう書込制御回路を含むこととしてもよい。

【0102】また、前記複数のメモリアレイブロックの各々は、前記ワード線と交差して設けられ、かつ各々が互いに所定の間隔で設けられた複数のワード線シャント領域、および各ワード線に対応して設けられ、各ワード線シャント領域において対応のワード線と接続される低抵抗の導電線を含み、前記第1および第2のグローバル信号入出力線対は、前記複数のメモリアレイブロックのうちの少なくとも1つのメモリアレイブロックのワード線シャント領域を縦断するようにして設けられることとしてもよい。

【0103】また、前記第1および第2のグローバル信号入出力線対の各々は互いに異なるワード線シャント領域を縦断するようにして設けられることとしてもよい。

【0104】

【作用】この発明の第1の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が第1または第2の信号入出力線対に1クロックサイクルずつ交互に接続される。したがって、1クロックサイクルの間に一方の信号入出力線対を介してデータの書込を行ない、その1クロックサイクルの間に他方の信号入出力線対のイコライズを行なえばよい。よって、1クロックサイクルの間に1つの信号入出力線対を介してデータの書込を行ない、そのグローバル信号入出力線対のイコライズを行なっていた従来に比べ、データの書込を高周波で容易に行なうことができる。また、ランダム書込が可能である。

【0105】また、データ入出力回路は、データ書込回路およびイコライズ回路を含み、データ書込回路が一方の信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が他方の信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0106】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、第1のデータ書込回路が第1の信号入出力線対を介してデータの書込を行なった後に前記イコライズ回路によって前記第1および第2のデータ書込回路に1クロックサイクルずつ交互に接続される。したがって、1クロックサイクルの間に1つの信号入出力線対を介してデータの書込を行なうことができる。また、ローカル信号入出力線対を2系統に分割しない分だけ第2の同期型半導体記憶装置よ

タの書込を行なっている間にイコライズ回路が第2の信号入出力線対のイコライズを行ない、第2のデータ書込回路が第2の信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第1の信号入出力線のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0107】この発明の第2の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が第1および第2の信号入出力線対に接続される。そして、内部アドレス信号の生成のため書込時間が短くなる最初の2クロックサイクルでは2ビットのデータを一度に書込み、その後は1クロックサイクルごとに1ビットのデータを交互に書込む。したがって、データの書込を高周波で容易に行なうことができ、また、2クロックサイクル以降はランダム書込が可能となる。

【0108】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、最初の2クロックサイクルにおいては第1および第2のデータ書込回路が第1および第2の信号入出力線対を介しての2ビットのデータの書込を行なった後にイコライズ回路が第1および第2の信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては第1または第2のデータ書込回路が第1または第2の信号入出力線対を介しての1ビットのデータの書込を行なった後にイコライズ回路が第1および第2の信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0109】また、この発明の第3の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が各メモリセルが属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に1クロックサイクルずつ交互に接続されるとともに、各メモリセルが属するメモリアレイブロックの第1および第2のローカル信号入出力線対の他端が第1および第2のグローバル信号入出力線対の一端に接続される。したがって、第1の同期型半導体記憶装置と同様、従来と比べてデータの書込を高周波で容易に行なうことができる、かつランダム書込を行なうことができる。

【0110】また、この発明の第4の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が各メモリセルが属するメモリアレイブロックのローカル信号入出力線対の一端に接続されるとともに、各メモリセルが属するメモリアレイブロックのローカル信号入出力線対の他端が第1または第2のグローバル信号入出力線対の一端に1クロックサイクルずつ交互に接続される。したがって、第1および第2の同期型半導体記憶装置と同様、従来と比べデータの書込を高周波で容易に行なうことができ、かつランダム書込を行なうことができる。また、ローカル信号入出力線対を2系統に分割しない分だけ第2の同期型半導体記憶装置よ

りもレイアウト面積が小さくなる。

【0111】また、データ入出力回路は、データ書込回路およびイコライズ回路を含み、データ書込回路が一方のグローバル信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が他方のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0112】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、第1のデータ書込回路が第1のグローバル信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第2のグローバル信号入出力線対のイコライズを行ない、第2のデータ書込回路が第2のグローバル信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第1のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0113】また、この発明の第5の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセル対の各々が対応の第1および第2のローカル信号入出力線対に接続され、その第1および第2のローカル信号入出力線対は第1および第2のグローバル信号入出力線対に2クロックサイクルずつ接続される。そして、内部アドレス信号の生成のため書込時間が短くなる最初の2クロックサイクルでは2ビットのデータを一度に書込み、その後は1クロックサイクルごとに1ビットのデータを交互に書込む。したがって、データの書込を高周波で容易に行なうことができ、また、2クロックサイクル以降はランダム書込が可能となる。

【0114】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、最初の2クロックサイクルにおいては第1および第2のデータ書込回路が第1および第2のグローバル信号入出力線対を介しての2ビットのデータの書込を行なった後にイコライズ回路が第1および第2のグローバル信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては第1または第2のデータ書込回路が第1または第2のグローバル信号入出力線対を介しての1ビットのデータの書込を行なった後にイコライズ回路が第1および第2のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0115】また、第1および第2のグローバル信号入出力線対は、複数のメモリアレイブロックのうちの少なくとも1つのメモリアレイブロックのワード線シャント領域を縦断するようにして設けられることとすれば、レイアウト面積の縮小化を図ることができる。

【0116】また、第1および第2のグローバル信号入出力線対の各々は、互いに異なるワード線シャント領域を縦断するようにして設けられることとすれば、レイア

ウト面積のさらなる縮小化が図られる。

【0117】

【実施例】

【実施例1】図1は、この発明の第1実施例によるSDRAMの主要部の構成を機能的に示すブロック図である。このSDRAMにおいてもバンク#1と#2は全く同じ構成であるので、バンク#1に関連する部分のみを説明する。

【0118】図1を参照して、このSDRAMが図19のSDRAMと異なる点は、各機能ブロック100においてメモリアレイ51aの代わりに2系統のグローバルIO線対GIOおよびGIO'を備えたメモリアレイ1aが設けられている点と、この2系統のグローバルIO線対GIOまたはGIO'を1クロックサイクルずつ交互にプリアンプ群55a、ライトバッファ群60aおよびイコライズ回路61aに接続するための切換スイッチ2a、3aおよび4aが設けられている点である。また、これらの切換スイッチ2a、3aおよび4aなどを制御するための内部クロック信号2CLKを出力する倍周期回路5が8個の機能ブロック100に共通に設けられる。

【0119】図2は、1つの32KビットメモリアレイMKに関連する部分の構成を示す一部省略した回路ブロック図であって、図23と対比される図である。図2を参照して、このSDRAMでは、2組のグローバルIO線対GIOおよびGIO'、ローカルIO線対LIO2およびLIO2'、ならびにブロック選択スイッチBSおよびBS'が設けられる。2組のローカルIO線対LIO2およびLIO2'に対応して2組のローカルIO線イコライズ回路EQL2およびEQL2'が設けられる。

【0120】各列のビット線対BLPをローカルIO線対LIO2に接続するための列選択ゲートCSG2と、各列のビット線対BLPをローカルIO線対LIO2'に接続するための列選択ゲートCSG2'が設けられる。列選択ゲートCSG2に対応して列選択線CSLが配置され、列選択ゲートSCG2'に対応して列選択線SCL'が配置される。

【0121】図3は、図2の分図であって、列選択線CSLおよびCSL'を選択するための回路を示す回路ブロック図である。各列に対応してコラムデコーダCDUと2組のANDゲートAGおよびAG'が設けられる。ANDゲートAGはコラムデコーダCDUの出力と内部クロック信号2CLKとを受ける。ANDゲートAGの出力が列選択線CSLに与えられる。ANDゲートAG'はコラムデコーダCDUの出力と内部クロック信号の反転信号/2CLKを受ける。ANDゲートAG'の出力が列選択線CSL'に与えられる。

【0122】選択された列のコラムデコーダCDUの出力は、1クロックサイクルのみ「H」レベルとなる。し

たがって、選択された列の2本の列選択線CSLおよびCSL'のうちのいずれか一方のみが1クロックサイクルだけ「H」レベルとなる。たとえば隣接する2つの列が連続的に選択された場合、最初の1クロックサイクルで最初に選択された列の列選択線CSLが「H」レベルとなり、次の1クロックサイクルで次に選択された列の列選択線CSL'が「H」レベルとなる。

【0123】図4は、図1に示したSDRAMの書き動作に関連する部分の構成を具体的に示す回路ブロック図であって、図26と対比される図である。図4を参照して、切換スイッチ3aは、2つの共通接点6および7と、4つの切換接点8ないし11を含む。共通接点6、7は、それぞれライトバッファWBのMOSトランジスタTr4、Tr5のドレインに接続される。切換接点8、9、10、11は、それぞれグローバルIO線GIOL、GIOL'、/GIOL、/GIOL'に接続される。

【0124】内部クロック信号2CLKが「H」レベルのとき接点6と8、7と10が導通し、内部クロック信号2CLKが「L」レベルのとき接点6と9、7と11が導通する。したがって、内部クロック信号2CLKが「H」レベルのときグローバルIO線対GIOLからライトバッファWBに接続され、内部クロック信号2CLKが「L」レベルのときグローバルIO線対GIOL'がライトバッファWBに接続される。

【0125】また、切換スイッチ4aは、2つの共通接点12および13と、4つの切換接点14ないし17を含む。共通接点12、13は、それぞれグローバルIO線イコライズ回路EQGのMOSトランジスタTr1、Tr2のソースに接続される。切換接点14、15、16、17は、それぞれグローバルIO線GIOL'、GIOL、/GIOL'、/GIOLに接続される。

【0126】内部クロック信号2CLKが「H」レベルのとき接点12と14、13と16が導通し、内部クロック信号2CLKが「L」レベルのとき接点12と15、13と17が導通する。したがって、内部クロック信号2CLKが「H」レベルのときグローバルIO線対GIOL'がグローバルIO線イコライズ回路EQGに接続され、内部クロック信号2CLKが「L」レベルのときグローバルIO線対GIOLがグローバルIO線イコライズ回路EQGに接続される。

【0127】なお、切換スイッチの1単位は、たとえば図6に示すように、共通接点6と一方の切換接点8の間に接続され、そのゲートに内部クロック信号2CLKを受けるNチャネルMOSトランジスタTr7と、共通接点6と他方の切換接点9の間に接続され、そのゲートに内部クロック信号の反転信号/2CLKを受けるNチャネルMOSトランジスタTr8とから構成される。

【0128】なお、グローバルIO線対GIOLまたはGIOL'を交互にプリアンプ群55aに接続するための切

換スイッチ2aは、切換スイッチ3aと同様であるので説明は省略される。

【0129】図6は、図1に示したSDRAMの倍周期回路5の構成を示す回路ブロック図である。図6を参照して、この倍周期回路5はマスタスリーブフリップフロップ20を含む。マスタスリーブフリップフロップ20のクロック端子Cに外部クロック信号CLKが入力される。出力端子Qはリセット端子Rに接続され、反転出力端子/Qはセット端子Sに接続される。

【0130】マスタスリーブフリップフロップ20は、NANDゲートNA1ないしNA8と、インバータ21を含む。NANDゲートNA1とNA2、NA3とNA4、NA5とNA6、NA7とNA8は、それぞれマスタゲートMG、マスタフリップフロップFF1、スリーブゲートSG、スリーブフリップフロップFF2を構成する。

【0131】端子SおよびRのレベルは、外部クロック信号CLKが「H」レベルになったときマスタゲートMGを介してマスタフリップフロップFF1に伝達され、外部クロック信号CLKが「L」レベルになったときさらにスリーブゲートSGを介してスリーブフリップフロップFF2に伝達される。スリーブフリップフロップFF1の出力はリセット端子Rに帰還され、その反転出力はセット端子Sに帰還される。したがって、端子Qおよび/Qのレベルは、それぞれ1クロックサイクルごとに反転する。図7に示すように、端子Qから外部クロック信号CLKを2分周した内部クロック信号2CLKが outputされ、端子/Qから内部クロック信号の反転信号/2CLKがoutputされる。

【0132】次に、図1ないし図7で示したSDRAMの動作について説明する。説明を簡略化するため、図2で示したメモリアレイブロックMK2の隣接する2つの列のメモリセルMCが連続的に選択された場合について説明する。

【0133】まず、読み動作について説明する。最初に選択されたメモリセルMCのデータは、1クロックサイクルの間に、その列のビット線対BLP→アレイ選択ゲートSAG2→列選択ゲートCSG2→ローカルIO線対LIO2→ブロック選択スイッチBS→グローバルIO線対GIOL→切換スイッチ2a→プリアンプ群55a→リード用レジスタ56a→出力バッファ57a→データ入出力端子DQ1の経路で外部に読み出される。

【0134】また、次に選択されたメモリセルMCのデータは、1クロックサイクルの間に、その列のビット線対BLP→アレイ選択ゲートSAG2→列選択ゲートCSG2'→ローカルIO線対LIO2'→クロック選択スイッチBS'→グローバルIO線対GIOL'→切換スイッチ2a→プリアンプ群55a→リード用レジスタ56a→出力バッファ57a→データ入出力端子DQ1の経路で外部に読み出される。

【0135】次に、書込動作について説明する。最初に選択されたメモリセルMCへのデータは、1クロックサイクルの間に、データ入出力端子DQ1→入力バッファ58a→ライト用レジスタ59a→ライトバッファ群60a→切換スイッチ3a→グローバルIO線対GIO→ブロック選択スイッチBS→ローカルIO線対LIO→列選択ゲートCSG2→アレイ選択ゲートSAG2→ビット線対BLPの経路でそのメモリセルMCに書込まれる。また、この1クロックサイクルの間に他方のグローバルIO線対GIO'のイコライズが行なわれる。

【0136】また、次に選択されたメモリセルMCへのデータは、次の1クロックサイクルの間に、データ入出力端子DQ1→入力バッファ58a→ライト用レジスタ59a→ライトバッファ群60a→切換スイッチ3a→グローバルIO線対GIO'→ブロック選択スイッチBS'→、ローカルIO線対LIO'→列選択ゲートCSG2'→アレイ選択ゲートSAG2→ビット線対BLPの経路でそのメモリセルMCに書込まれる。また、この1クロックサイクルの間に他方のグローバルIO線対GIOのイコライズが行なわれる。

【0137】この実施例においては、2組のグローバルIO線対GIOおよびGIO'を設けたので、図8に示すように、1クロックサイクルの間に一方のグローバルIO線対GIOを介してデータの書込を行ない、その1クロックサイクルの間に他方のグローバルIO線対GIO'のイコライズを行なえばよい。したがって、1クロックサイクルの間に1つのグローバルIO線対GIOを介してデータの書込を行ない、そのグローバルIO線対GIOのイコライズを行なっていた従来に比べ、データの書込を高周波で容易に行なうことができる。

【0138】また、プリアンプ群55aなどを含むデータ入出力回路を1組だけ設け、切換スイッチ2a、3aおよび4aによって2組のグローバルIO線対GIOまたはGIO'を交互にデータ入出力回路に接続するようにしたので、レイアウト面積の増大を抑制することができる。

【0139】なお、このSDRAMでは、レジスタ選択用のラップアドレスWY0～WY7は不要であるので、レジスタ制御回路67はラップアドレスWY0～WY7を出力しない。

【0140】【実施例2】実施例1のようにグローバルIO線対およびローカルIO線対を2系統に分離すると、チップ面積が増大するという問題がある。そこで、この実施例では、配線長が長く浮遊容量が大きいグローバルIO線対のみを2系統に分離し、配線長が短く浮遊容量が小さなローカルIO線対については2系統に分離しないこととし、高周波での書込を容易にするとともにチップ面積の増大を抑制する。

【0141】図9は、この発明の第2実施例によるSDRAMのIO線の配置を具体的に示す図であって、図2

1と対比される図である。図9を参照して、このSDRAMでは、2組のグローバルIO線対GIOおよびGIO'と1組のローカルIO線対LIOが設けられ、各ローカルIO線対LIOとそれに対応するグローバルIO線対GIOおよびGIO'の交差部にブロック選択スイッチBSaが設けられる。ブロック選択スイッチBSaは、ローカルIO線対LIOを対応のグローバルIO線対GIOまたはGIO'に1クロックサイクルずつ交互に接続する。

【0142】図10は、このSDRAMの1つの32KビットメモリアレイMKに関連する部分の構成を示す回路ブロック図であって、図23と対比される図である。

【0143】ブロック選択スイッチBSaは、3つのゲートG1、G2およびG3を含む。ゲートG1およびG2は、ローカルIO線対LIO2とグローバルIO線対GIOの間に直列接続される。ゲートG3は、ゲートG1とグローバルIO線対GIO'の間に接続される。ゲートG1はアレイ選択信号φBに応答して導通状態となり、ゲートG2は内部クロック信号2CLKに応答して導通状態となり、ゲート3は内部クロック信号の反転信号/2CLKに応答して導通状態となる。

【0144】次に、図9および図10で示したSDRAMの動作について説明する。説明を簡単化するため、図10で示したメモリアレイブロックMK2の隣接する2つの列のメモリセルMCが連続的に選択された場合について説明する。また、プリアンプ群55aなどを含むデータ入出力回路の動作については第1実施例と同じであるので説明は省略される。

【0145】読出動作においては、最初に選択されたメモリセルMCのデータは、1クロックサイクルの間に、その列のビット線対BLP→アレイ選択ゲートSAG2→列選択ゲートCSG2→ローカルIO線対LIO2→ゲートG1→ゲートG2→グローバルIO線対GIOの経路で外部に読出される。

【0146】また、次に選択されたメモリセルMCのデータは、次の1クロックサイクルの間に、その列のビット線対BLP→アレイ選択ゲートSAG2→列選択ゲートCSG2→ローカルIO線対LIO2→ゲートG1→ゲートG3→グローバルIO線対GIO'の経路で外部に読出される。

【0147】書込動作においては、最初に選択されたメモリセルMCへのデータは、1クロックサイクルの間に、グローバルIO線対GIO→ゲートG2→ゲートG1→ローカルIO線対LIO2→列選択ゲートCSG2→ビット線対BLPの経路でそのメモリセルMCに書込まれる。ローカルIO線対LIO2のイコライズは、この1クロックサイクルの間に行なわれる。グローバルIO線対GIOのイコライズは、次の1クロックサイクルの間に行なわれる。

【0148】また、次に選択されたメモリセルMCへの

データは、グローバルIO線対GIO'→ゲートG3→ゲートG1→ローカルIO線対LIO2→列選択ゲートGSG2→ビット線対BLPの経路でそのメモリセルMCに書き込まれる。ローカルIO線対LIO2のイコライズは、この1クロックサイクルの間に行なわれる。グローバルIO線対GIO'のイコライズは、次の1クロックサイクルの間に行なわれる。

【0149】この実施例においては、2組のグローバルIO線対GIOおよびGIO'を設けたので、図11に示すように、1クロックサイクルの間に一方のグローバルIO線対GIOを介してのデータの書き込みと、他方のグローバルIO線対GIOのイコライズとを並列に行なうことができる。したがって、1クロックサイクルの間に1つのグローバルIO線対GIOを介してのデータの書き込みとそのグローバルIO線対GIOのイコライズとを直列に行なう必要があった従来に比べて、高周波でのデータの書き込みを容易に行なうことができる。

【0150】また、ローカルIO線対LIOについては2系統に分離しないので、チップ面積の増大を抑制することができる。

【0151】なお、ローカルIO線対LIOについては1クロックサイクルの間にデータの書き込みとイコライズを直列に行なう必要があるが、ローカルIO線対LIOは配線長が短く浮遊容量が小さいので差支えはない。

【0152】【実施例3】実施例2では、ローカルIO線対は2系統に分離されず、2系統に分離されたグローバルIO線対はワード線シャント領域WSに設けられるので、実施例1に比べチップ面積が縮小化された。しかし、ローカルIO線対LIOとグローバルIO線対GIOおよびGIO'を接続するためのブロック選択スイッチGSAのトランジスタ数が多い分だけ、従来例に比べチップ面積が大きくなる。そこで、この実施例では、さらなるチップ面積の縮小化を図る。

【0153】図12は、この発明の第3実施例によるSDRAMのIO線の配置を具体的に示す図である。図12を参照して、このSDRAMは、図9のSDRAMにおいてメモリマットMMの端部とワード線シャント領域WS2、WS4およびWS6のそれぞれに設けられていた2組のグローバルIO線対GIOおよびGIO'のうちの1組のグローバルIO線対GIO'をそれぞれ隣接するワード線シャント領域WS1、WS3、WS5、WS7に移動するとともに、各ブロック選択スイッチBSaをブロック選択スイッチBSbとBSb'に分割したものである。ローカルIO線対LIOは、ブロック選択スイッチBSbおよびBSb'によって対応のグローバルIO線対GIOまたはGIO'に1クロックサイクルずつ交互に接続される。

【0154】図13は、図12に示したSDRAMの1つの32KビットメモリアレイMKに関連する部分の構成を示す一部省略した回路ブロック図である。

【0155】ブロック選択スイッチBSbは、ローカルIO線対LIOとグローバルIO線対GIOの間に直列接続されたゲートG4およびG5を含む。ブロック選択スイッチBSb'は、ローカルIO線対LIO2と、グローバルIO線対GIO'の間に直列接続されたゲートG4'およびG5'を含む。ゲートG4およびG4'はアレイ選択信号Bに応答して導通状態となり、ゲートG5は内部クロック信号2CLKに応答して導通状態となり、ゲートG5'は内部クロック信号の反転信号/2CLKに応答して導通状態となる。動作については、実施例2と同様であるので説明は省略される。

【0156】この実施例においては、2組のグローバルIO線対GIOおよびGIO'の各々を別のワード線シャント領域WSに設けたので、ローカルIO線対LIOと一方のグローバルIO線対GIOを接続するブロック選択スイッチBSbと、ローカルIO線対LIOと他方のグローバルIO線対GIO'を接続するブロック選択スイッチBSb'を別のワード線シャント領域WSに設けることができ、ブロック選択スイッチのトランジスタ数の増加によるチップ面積の増大が防止される。

【0157】【実施例4】図14は、この発明の第4実施例によるSDRAMの主要部の構成を機能的に示すブロック図である。

【0158】図14を参照して、このSDRAMでは、各機能ブロック200において、一方のグローバルIO線対GIOに対応してプリアンプ群55a、リード用レジスタ56aおよび出力バッファ57aと入力バッファ58a、ライト用レジスタ59aおよびライトバッファ群60aが設けられ、他方のグローバルIO線対GIO'に対応してプリアンプ群55a'、リード用レジスタ56a'および出力バッファ57a'、入力バッファ58a'、ライト用レジスタ59a'およびライトバッファ群60a'が設けられる。

【0159】内部クロック信号2CLKに応答して一方の入力バッファ58a、ライト用レジスタ59aおよびライトバッファ群60aと他方のプリアンプ57a'、リード用レジスタ56a'および出力バッファ57a'を1クロックサイクルずつ活性化させるために切換スイッチ31a、32aおよび33aが設けられる。

【0160】内部クロック信号2CLKに応答して一方の入力バッファ58a、ライト用レジスタ59aおよびライトバッファ群60aと他方の入力バッファ58a'、ライト用レジスタ59a'およびライトバッファ群60a'を1クロックサイクルずつ活性化させるために切換スイッチ36a、37aおよび38aが設けられる。

【0161】内部クロック信号2CLKに応答して一方のプリアンプ群55a、リード用レジスタ56aおよび出力バッファ57aと他方のプリアンプ群55a'、リード用レジスタ56a'および出力バッファ57a'を

を1クロックサイクルずつ交互にデータ入出力端子DQ_iに接続するために切換スイッチ34aが設けられる。

【0162】内部クロック信号2CLKに応答して一方の入力バッファ58a、ライト用レジスタ59aおよびライトバッファ群60aと他方の入力バッファ58a'、ライト用レジスタ59a'およびライトバッファ群60a'を1クロックサイクルずつ交互にデータ入出力端子DQ_iに接続するために切換スイッチ35aが設けられる。他の構成については図1のSDRAMと同様である。

【0163】図15は、図14に示したSDRAMの書き動作に関する部分の構成を具体的に示す図である。

【0164】図においては、一方のグローバルIO線対GIOに対応して設けられたライト用レジスタ59aおよびライトバッファWBと、他方のグローバルIO線対GIO'に対応して設けられたライト用レジスタ59a'およびライトバッファWB'、2組のグローバルIO線対GIOおよびGIO'に共通に設けられたイコライズ回路EQGが示される。

【0165】また、レジスタ活性化信号φRW1をライト用レジスタ59aまたは59a'に1クロックサイクルずつ交互に入力するための切換スイッチ37aと、ライトバッファ活性化信号φWB1をライトバッファWBまたはWB'に1クロックサイクルずつ交互に入力するための切換スイッチ38aと、グローバルIO線イコライズ回路EQGをグローバルIO線対GIO'またはGIOに1クロックサイクルずつ交互に接続するための切換スイッチ4aとが示される。

【0166】次に、図14および図15で示したSDRAMの動作について説明する。まず、読み動作について説明する。最初の1クロックサイクルでは、活性化信号φPA1、φRR1およびφOE1がスイッチ31a、32aおよび33aを介してプリアンプ群55a、リード用レジスタ56aおよび出力バッファ57aに入力され、一方のグローバルIO線対GIOのデータがプリアンプ群55a→リード用レジスタ56a→出力バッファ57a→スイッチ34a→データ入出力端子DQ_iを介して外部に読み出される。

【0167】次の1クロックサイクルでは、活性化信号φPA1、φRR1およびφOE1がスイッチ31a、32aおよび33aを介してプリアンプ群55a'、リード用レジスタ56a'および出力バッファ57a'に入力され、他方のグローバルIO線対GIO'のデータがプリアンプ群55a'→リード用レジスタ56a'→出力バッファ57a'→スイッチ34a→データ入出力端子DQ_iを介して外部に読み出される。

【0168】次に、書き動作について説明する。最初の1クロックサイクルでは、活性化信号φDB、φRW1およびφWB1がスイッチ36a、37aおよび38aを介して入力バッファ58a、ライト用レジスタ59a

およびライトバッファ群60aに入力され、データ入出力端子DQ_iに与えられたデータがスイッチ35a→入力バッファ58a→ライト用レジスタ59a→ライトバッファ群60a→グローバルIO線対GIOを介して所望のメモリセルMCに書き込まれる。この1クロックサイクルでグローバルIO線対GIO'のイコライズが行なわれる。

【0169】次の1クロックサイクルでは、活性化信号φDB、φRW1およびφWB1がスイッチ36a、37aおよび38aを介して入力バッファ58a'、ライト用レジスタ59a'およびライトバッファ群60a'に入力され、データ入出力端子DQ_iに与えられたデータがスイッチ35a→入力バッファ58a'→ライト用レジスタ59a'→ライトバッファ群60a'→グローバルIO線対GIO'を介して所望のメモリセルMCに書き込まれる。この1クロックサイクルでグローバルIO線対GIO'のイコライズが行なわれる。

【0170】この実施例でも、実施例1と同様の効果が得られる。

【0171】【実施例5】この実施例では、従来技術で説明したパイプライン動作のSDRAMの長所と2ビットプリフェッチのSDRAMの長所を備え、かつメモリアレイの構成が従来と同じSDRAMを示す。

【0172】この実施例のSDRAMの構成は従来技術(特に図29ないし図33)で説明した2ビットプリフェッチのSDRAMと同様である。ただし、制御のタイミングは従来と異なる。

【0173】図16は、このSDRAMの連続書き動作(バースト長=4)を示すタイミングチャートであって、図33と対比される図である。図16を参照して、このSDRAMの制御のタイミングが図33の制御のタイミングと異なる点は、書きコマンドが入力されてから2クロック経過した後は、1クロックごとにイコライズ回路活性化信号φEQ1を活性化させグローバルIO線対GIOおよびGIO'のイコライズを行なう点である。

【0174】図17は、図18で示したイコライズ回路活性化信号φEQ1を生成するための信号発生回路の構成を例示する回路ブロック図である。

【0175】図17を参照して、この信号発生回路は、NANDゲートNA11ないしNA26、インバータ22ないし24および遅延回路25を含む。NANDゲートNA11とNA12、NA15とNA16、NA19とNA20は、それぞれゲートG11、G12、G13を構成する。ゲートG11およびG13は、ともにクロック信号の反転信号/CLKで制御され、ゲートG12はクロック信号CLKで制御される。

【0176】NANDゲートNA13とNA14、NA17とNA18、NA21とNA22は、それぞれフリップフロップFF11、FF12、FF13を構成す

る。フリップフロップFF12およびFF13は、ともに信号WDEによって活性化される。NANDゲートNA26および遅延回路25はパルス発生回路26を構成する。

【0177】信号WDEは、書込動作が始まると活性化され、バースト長分だけクロック信号CLKがカウントされた後に非活性化される信号である。クロック信号の反転信号/CLKが「H」レベルになったとき信号WDEのレベルがゲートG11を介してフリップフロップFF11に伝達される。次いでクロック信号CLKが「H」レベルになったとき信号WDEのレベルがさらにゲートG12を介してフリップフロップFF12に伝達される。次いでクロック信号の反転信号/CLKが「H」レベルになったとき信号WDEのレベルがさらにゲートG13を介してフリップフロップFF13に伝達される。

【0178】NANDゲートNA25は、フリップフロップFF13の出力NA21とクロック信号CLKを受ける。NANDゲートNA25の出力はインバータ23を介してパルス発生回路26に入力される。パルス発生回路26の出力はインバータ24に入力される。インバータ24の出力はイコライズ回路活性化信号EQ1となる。

【0179】図18は、図17の信号発生回路の動作を示すタイミングチャートである。信号/CASが活性状態の「L」レベルとなって書込コマンドが入力されたことに応じて、信号WDEが活性状態の「H」レベルとなる。信号WDEは、バースト長分だけクロック信号CLKがカウントされた後（この場合4クロック後）、「L」レベルとなる。

【0180】信号NA21は、信号WDEが「H」レベルになった後クロック信号CLKが「L」レベルから「H」レベルになりさらに「L」レベルになったことに応じて「H」レベルとなる。信号NA21は、信号WDEが「L」レベルになったことに応じて「L」レベルとなる。パルス発生回路26は、信号NA21が「H」レベルにある間においてクロック信号CLKが「H」レベルになったことに応じて所定の幅のパルス信号を出力する。パルス信号はインバータ24で反転されてイコライズ回路活性化信号EQ1となる。

【0181】この実施例では、連続書込のコマンドが入力されてから2クロック経過した後はグローバルIO線対GIOおよびGIO'を1クロックごとにイコライズするので、図16中の○印のタイミングで書込をストップして、新たに入力されるアドレスにデータを書込むことができる。したがって、1ビット単位のランダム書込が可能となる。しかも、内部アドレス信号の生成のために書込時間が短くなる最初のデータ書込に2クロックサイクルを割当てるので、動作周波数の高速化にも対応できる。

【0182】

【発明の効果】以上のように、この発明の第1の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が第1または第2の信号入出力線対に1クロックサイクルずつ交互に接続される。したがって、1クロックサイクルの間に一方の信号入出力線対を介してのデータの書込と他方の信号入出力線対のイコライズとを並列に行なうことができる。よって、1クロックサイクルの間に1つの信号入出力線対を介してのデータ書込と、その信号入出力線対のイコライズとを直列に行なう必要があった従来に比べてデータの書込を高周波で容易に行なうことができる。また、ランダム書込が可能である。

【0183】また、データ入出力回路は、データ書込回路およびイコライズ回路を含み、データ書込回路が一方の信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が他方の信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0184】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、第1のデータ書込回路が第1の信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第2の信号入出力線対のイコライズを行ない、第2のデータ書込回路が第2の信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第1の信号入出力線のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0185】この発明の第2の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセル対の各々が第1および第2の信号入出力線対に接続される。そして、内部アドレス信号の生成のため書込時間が短くなる最初の2クロックサイクルでは2ビットのデータを一度に書込み、その後は1クロックサイクルごとに1ビットのデータを交互に書込む。したがって、データの書込を高周波で容易に行なうことができ、また、2クロックサイクル以降はランダム書込が可能となる。

【0186】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、最初の2クロックサイクルにおいては第1および第2のデータ書込回路が第1および第2の信号入出力線対を介しての2ビットのデータの書込を行なった後にイコライズ回路が第1および第2の信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては第1または第2のデータ書込回路が第1または第2の信号入出力線対を介しての1ビットのデータの書込を行なった後にイコライズ回路が第1および第2の信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0187】また、この発明の第3の同期型半導体記憶

装置にあっては、選択回路によって連続的に選択されるメモリセルの各々が各メモリセルが属するメモリアレイブロックの第1または第2のローカル信号入出力線対の一端に1クロックサイクルずつ交互に接続されるとともに、各メモリセルが属するメモリアレイブロックの第1および第2のローカル信号入出力線対の他端が第1および第2のグローバル信号入出力線対の一端に接続される。したがって、第1の同期型半導体記憶装置と同様、従来と比べデータの書込を高周波で容易に行なうことができ、かつランダム書込を行なうことができる。

【0188】また、この発明の第4の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセルの各々は各メモリセルが属するメモリアレイブロックのローカル信号入出力線対の一端に接続されるとともに、各メモリセルが属するメモリアレイブロックのローカル信号入出力線対の他端が第1または第2のグローバル信号入出力線対の一端に1クロックサイクルずつ交互に接続される。したがって、第1および第2の同期型半導体記憶装置と同様、従来と比べデータの書込を高周波で容易に行なうことができ、かつランダム書込を行なうことができる。また、ローカル信号入出力線対を2系統に分割しない分だけ第2の同期型半導体記憶装置よりもレイアウト面積が小さくなる。

【0189】また、データ入出力回路は、データ書込回路およびイコライズ回路を含み、データ書込回路が一方のグローバル信号入出力線対を介してデータの書込を行なっている間に、イコライズ回路が他方のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0190】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、第1のデータ書込回路が第1のグローバル信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第2のグローバル信号入出力線対のイコライズを行ない、第2のデータ書込の回路が第2のグローバル信号入出力線対を介してデータの書込を行なっている間にイコライズ回路が第1のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0191】また、この発明の第5の同期型半導体記憶装置にあっては、選択回路によって連続的に選択されるメモリセル対の各々が対応の第1および第2のローカル信号入出力線対に接続され、その第1および第2のローカル信号入出力線対は第1および第2のグローバル信号入出力線対に2クロックサイクルずつ接続される。そして、内部アドレス信号の生成のため書込時間が短くなる最初の2クロックサイクルでは2ビットのデータを一度に書込み、その後は1クロックサイクルごとに1ビットのデータを交互に書込む。したがって、データの書込を高周波で容易に行なうことができ、また、2クロックサ

イクル以降はランダム書込が可能となる。

【0192】また、データ入出力回路は、第1および第2のデータ書込回路と、イコライズ回路とを含み、最初の2クロックサイクルにおいては第1および第2のデータ書込回路が第1および第2のグローバル信号入出力線対を介しての2ビットのデータの書込を行なった後にイコライズ回路が第1および第2のグローバル信号入出力線対のイコライズを行ない、その後の各1クロックサイクルにおいては第1または第2のデータ書込回路が第1または第2のグローバル信号入出力線対を介しての1ビットのデータの書込を行なった後にイコライズ回路が第1および第2のグローバル信号入出力線対のイコライズを行なうこととすれば、データ入出力回路を容易に構成できる。

【0193】また、第1および第2のグローバル信号入出力線対は、複数のメモリアレイブロックのうちの少なくとも1つのメモリアレイブロックのワード線シャント領域を縦断するようにして設けられることとすれば、レイアウト面積の縮小化を図ることができる。

【0194】また、第1および第2のグローバル信号入出力線対の各々は、互いに異なるワード線シャント領域を縦断するようにして設けられることとすれば、レイアウト面積のさらなる縮小化が図られる。

【図面の簡単な説明】

【図1】 この発明の第1実施例によるSDRAMの全体の構成を機能的に示すブロック図である。

【図2】 図1に示したSDRAMの1つの32KビットメモリアレイMKに関連する部分の構成を示す回路ブロック図である。

【図3】 図2の分図であって、図2に示した列選択ゲートを選択するための回路の構成を示す回路ブロック図である。

【図4】 図1に示したSDRAMのデータの書込動作に関連する部分の構成を示す回路ブロック図である。

【図5】 図4に示した切換スイッチの構成を例示する回路図である。

【図6】 図1に示したSDRAMの倍周期回路の構成を例示する回路ブロック図である。

【図7】 図6に示した倍周期回路の動作を示すタイミングチャートである。

【図8】 図1に示したSDRAMのランダム書込動作を示すタイミングチャートである。

【図9】 この発明の第2実施例によるSDRAMのメモリアレイのI/O線対の配置を具体的に示す図である。

【図10】 図9に示したメモリアレイの1つの32Kビットメモリアレイに関連する部分の構成を示す回路ブロック図である。

【図11】 図9に示したSDRAMのランダム書込動作を示すタイミングチャートである。

【図12】 この発明の第3実施例によるSDRAMの

41

メモリアレイのI/O線対の配置を具体的に示す図である。

【図13】 図12に示したメモリアレイの1つの32Kビットメモリアレイに関連する部分の構成を示す回路ブロック図である。

【図14】 この発明の第4実施例によるSDRAMの構成を機能的に示すブロック図である。

【図15】 図14に示したSDRAMの書込動作に関連する部分の構成を示す回路ブロック図である。

【図16】 この発明の第5実施例によるSDRAMの連続書込動作を示すタイミングチャートである。 10

【図17】 図16で説明したSDRAMのイコライズ回路活性化信号φEQ1を生成するための信号発生回路の構成を示す回路ブロック図である。

【図18】 図17に示した信号発生回路の動作を示すタイミングチャートである。

【図19】 従来のSDRAMの全体の構成を機能的に示すブロック図である。

【図20】 図19に示したSDRAMのチップレイアウトを示す図である。

【図21】 図19に示したチップのメモリアレイのI/O線対の配置を具体的に示す図である。

【図22】 図21のZ部拡大図である。

【図23】 図22に示したメモリアレイの1つのローカルI/O線対LIO2に関連する部分の構成を示す回路ブロック図である。

【図24】 図19に示したSDRAMの連続読出動作時における外部信号の変化の状態を示すタイミングチャートである。

【図25】 図19に示したSDRAMの連続書込動作時の外部信号の変化の状態を示すタイミングチャートである。

【図26】 図19に示したSDRAMの書込動作に関連する部分の構成を示す回路ブロック図である。

【図27】 図19に示したSDRAMの連続書込動作時における外部信号およびグローバルI/O線対の電位の変化を示すタイミングチャートである。

42

【図28】 図19に示したSDRAMのランダム書込動作時における外部信号およびグローバルI/O線対の電位の変化を示すタイミングチャートである。

【図29】 従来の他のSDRAMの全体の構成を機能的に示すブロック図である。

【図30】 図29に示したSDRAMのメモリアレイのI/O線対の配置を具体的に示す図である。

【図31】 図30に示したメモリアレイの1つの32Kビットメモリアレイに関連する部分の構成を示す回路ブロック図である。

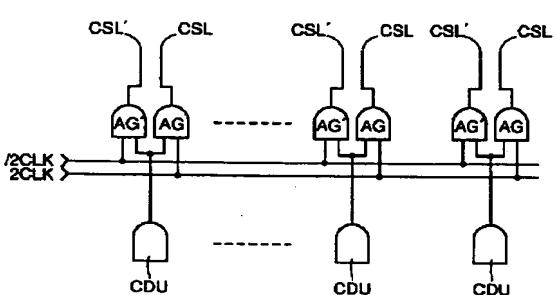
【図32】 図29に示したSDRAMの書込動作に関連する部分の構成を示す回路ブロック図である。

【図33】 図29に示したSDRAMの連続書込動作時における外部信号およびグローバルI/O線対の電位の変化を示すタイミングチャートである。

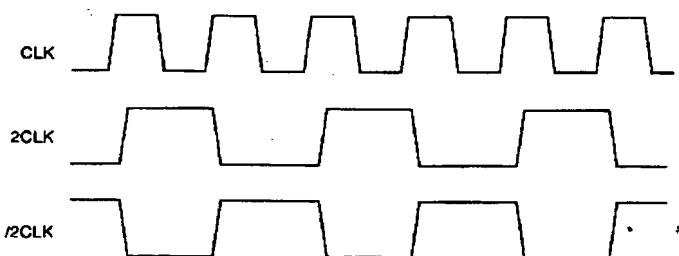
【符号の説明】

1a, 1b メモリアレイ、2a, 2b, 3a, 3b, 4a, 4b, 31a, 31b, 32a, 32b, 33a, 33b, 34a, 34b, 35a, 35b, 36a, 36b, 37a, 37b, 38a, 38b 切換スイッチ、5 倍周期回路、52a, 52b Xデコーダ群、53a, 53b Yデコーダ群、54a, 54b センスアンプ群、55a, 55b, 55a', 55b' ブリアンプ群、56a, 56b, 56a', 56b' リード用レジスタ、57a, 57b, 57a', 57b' 出力バッファ、58a, 58b, 58a', 58b' 入力バッファ、59a, 59b, 59a', 59b' ライト用レジスタ、60a, 60b, 60a', 60b' ライトバッファ群、61a, 61b イコライズ回路群、68a, 68b, 69a, 69b セレクタ、LIO, LIO' ローカルI/O線対、GIO, GIO' グローバルI/O線対、WS1~WS7 ワード線シャント領域、BS, BS', BSA, BSB, BSb' ブロック選択スイッチ、CSG, CSG' 列選択ゲート、BLP ビット線対、WL ワード線、MC メモリセル。

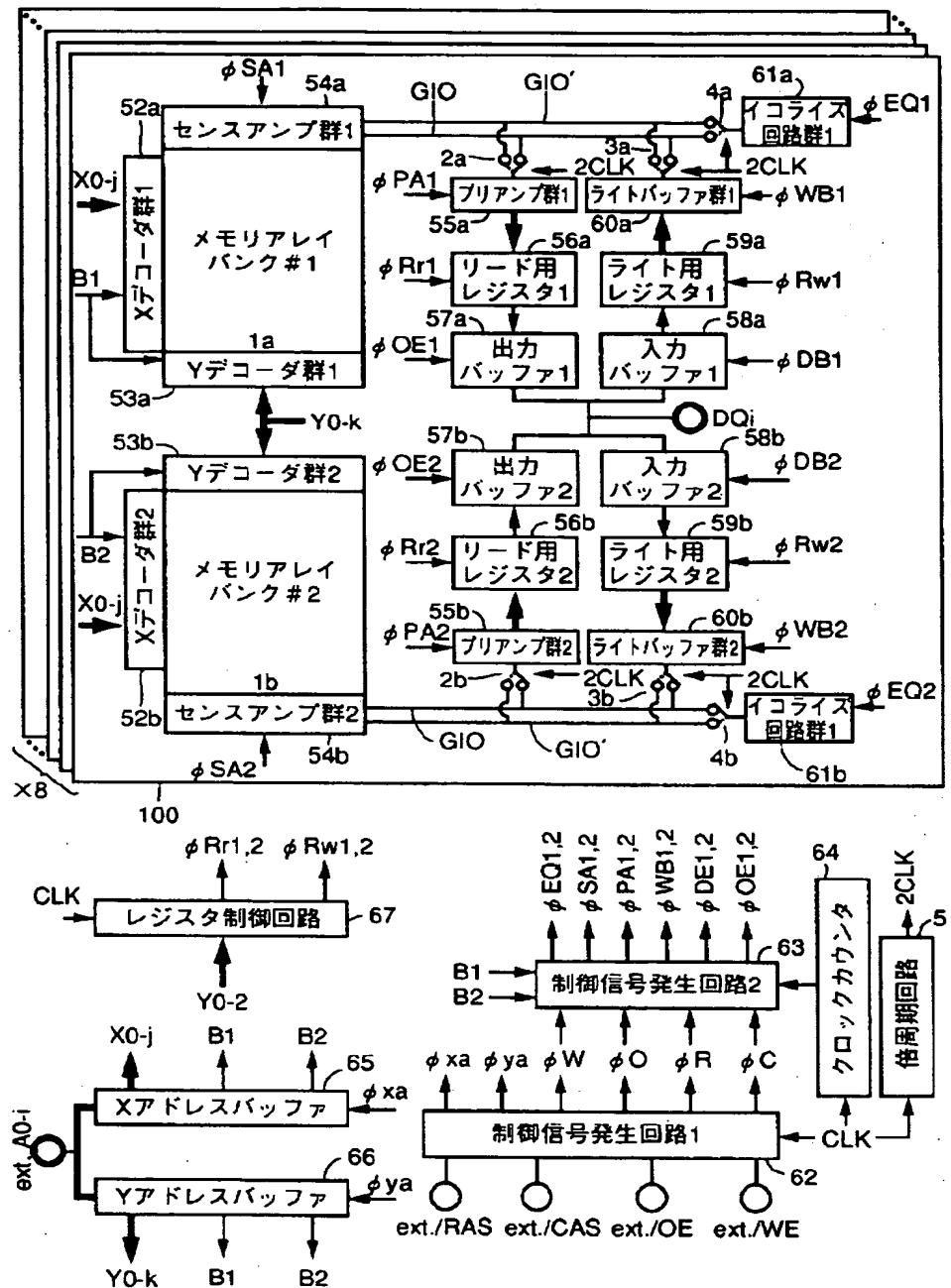
【図3】



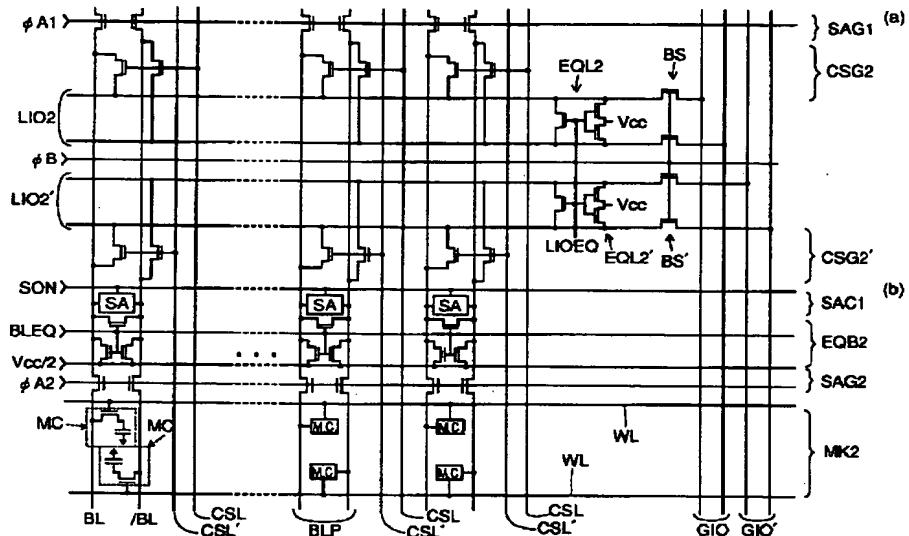
【図7】



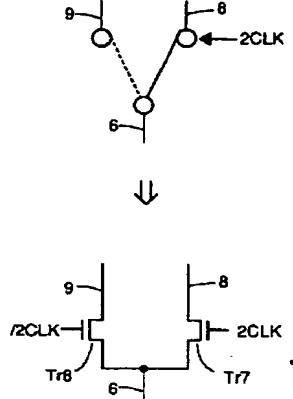
【图 1】



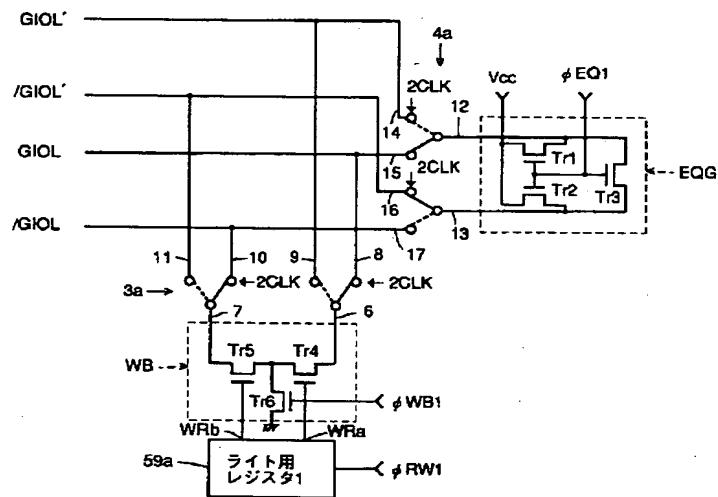
【図2】



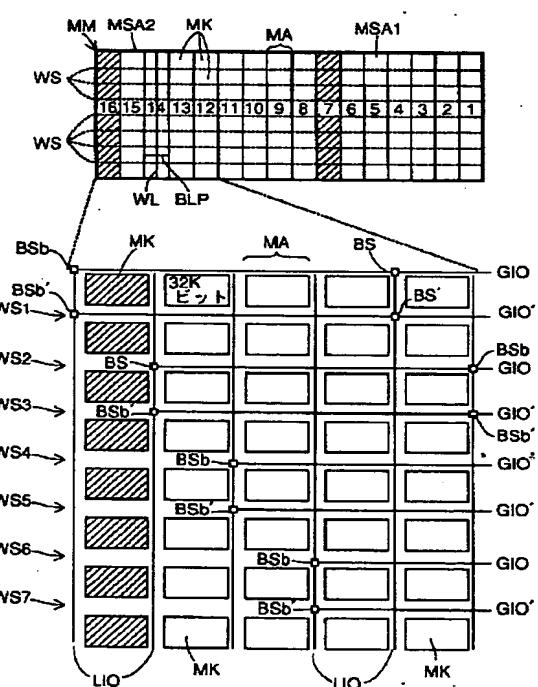
【图5】



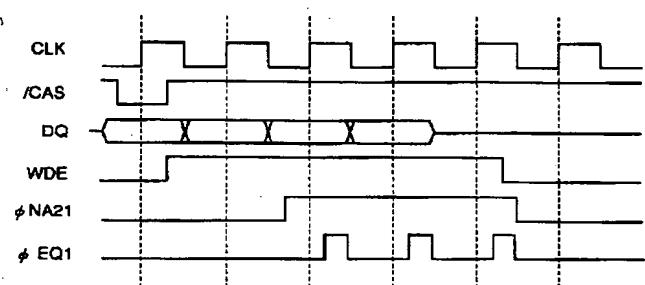
【图4】



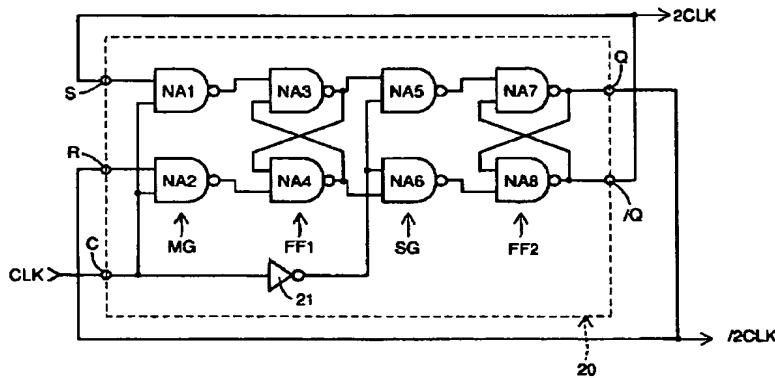
[図12]



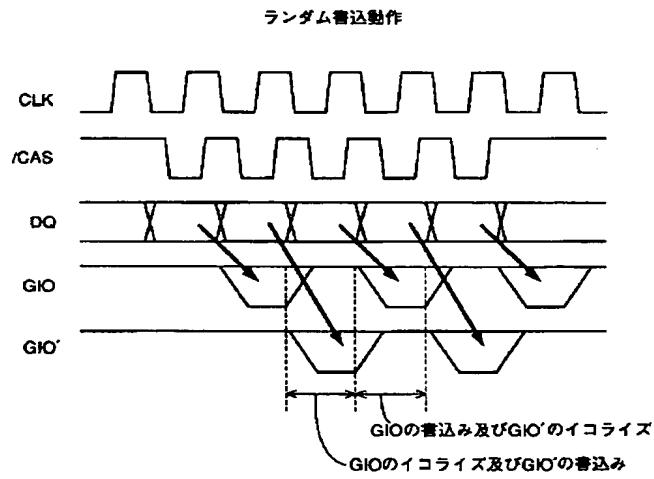
〔図 18〕



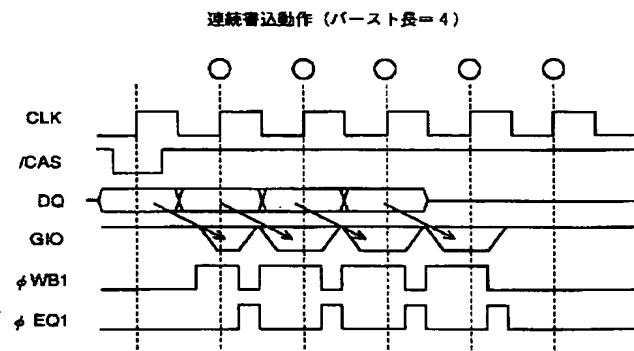
【図6】



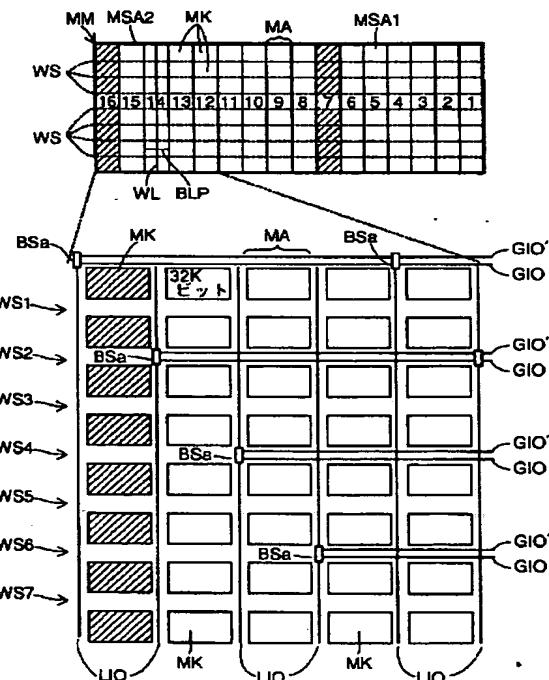
【図8】



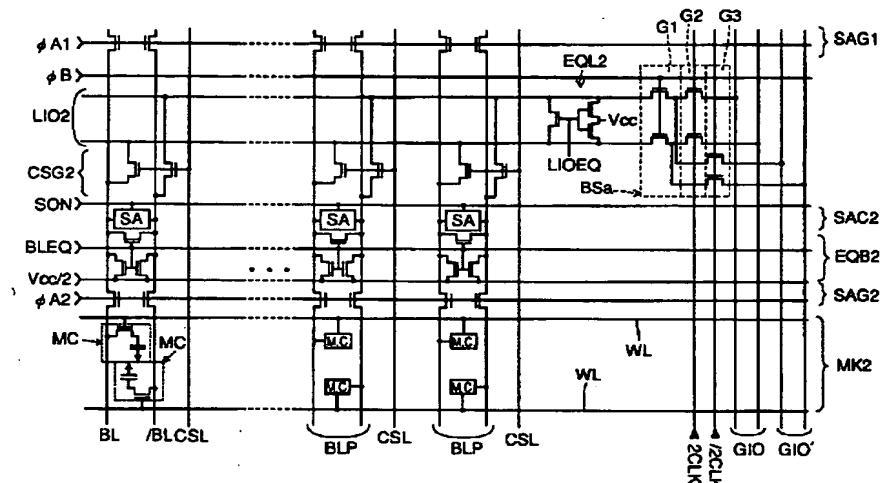
【図27】



【図9】

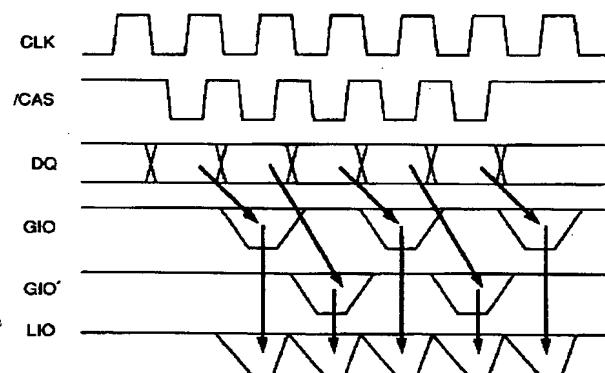


【図10】



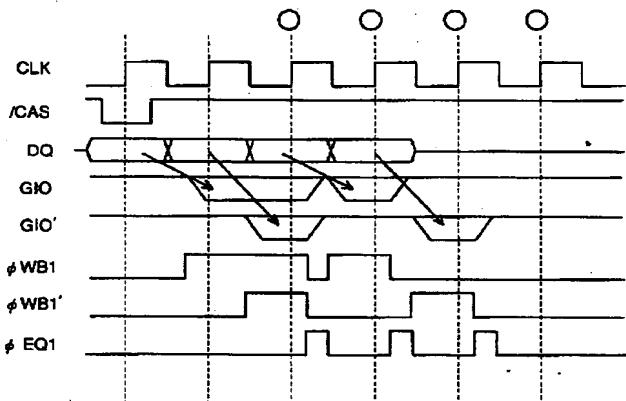
【図11】

ランダム書き込み動作

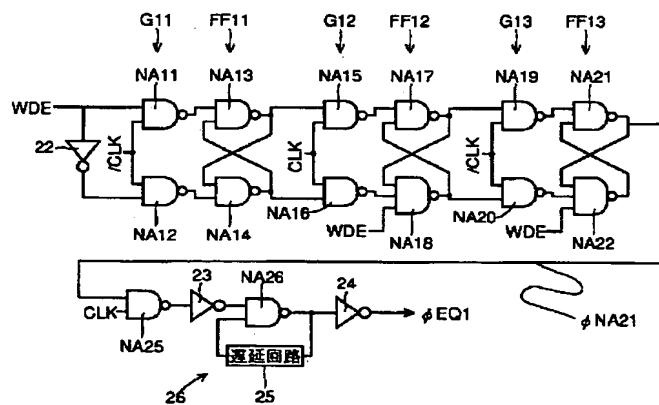


【図16】

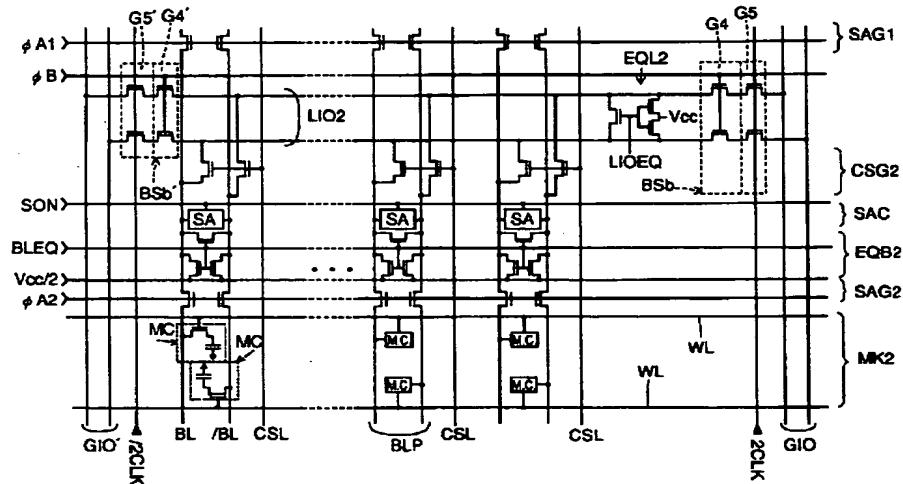
連続書き込み動作 (バースト長 = 4)



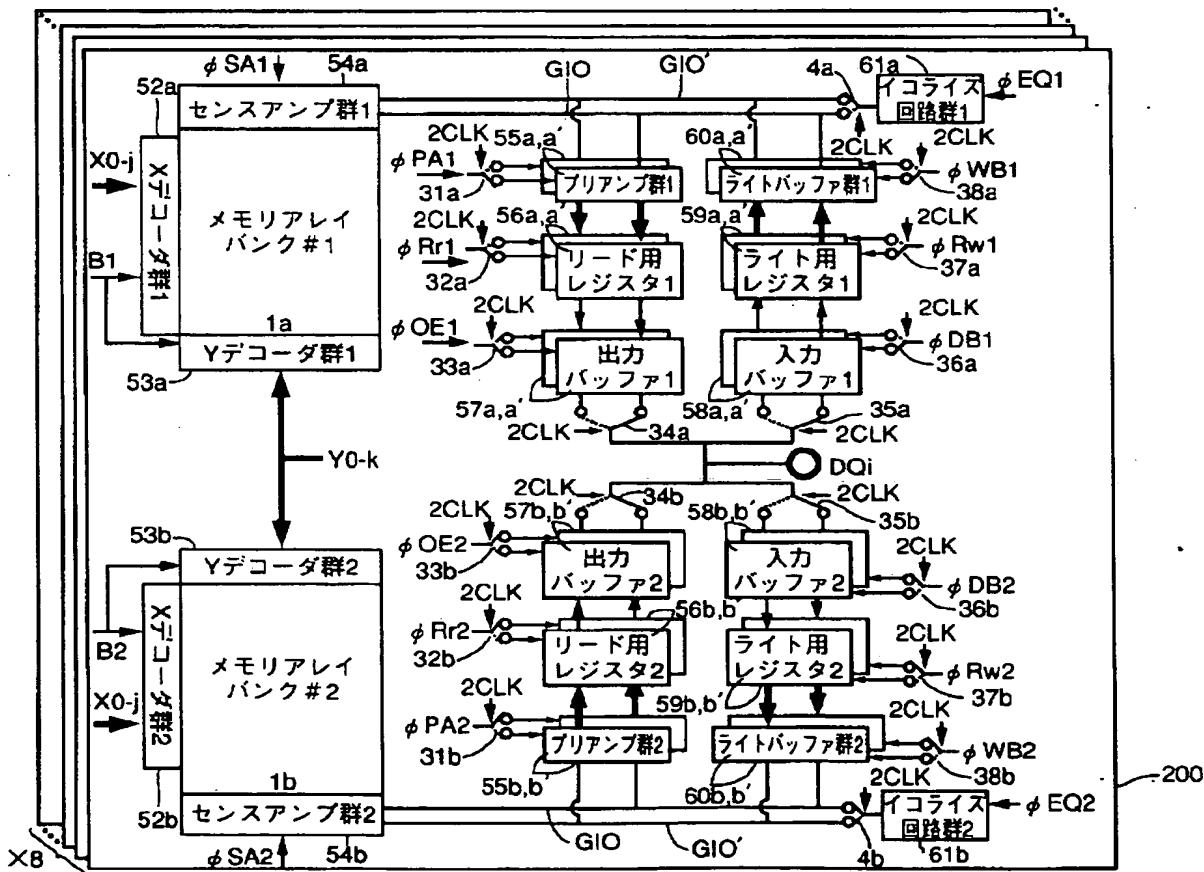
【図17】



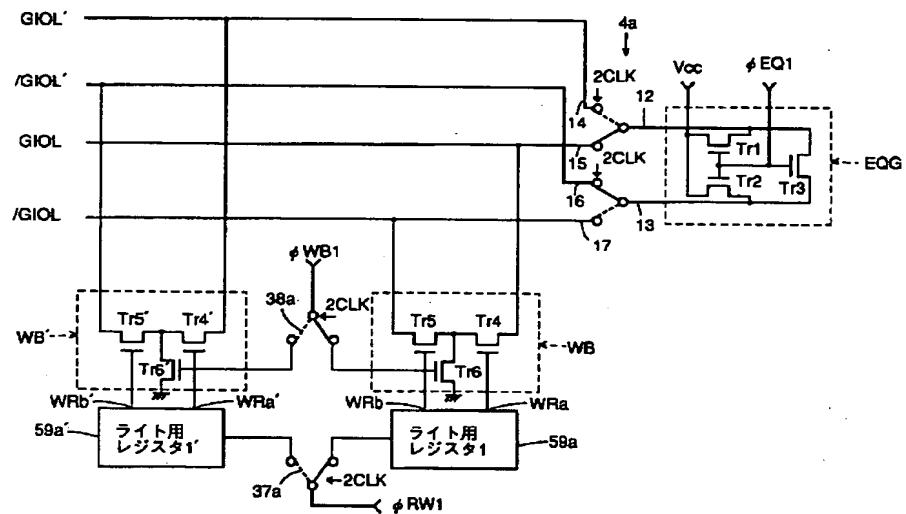
【四 1 3】



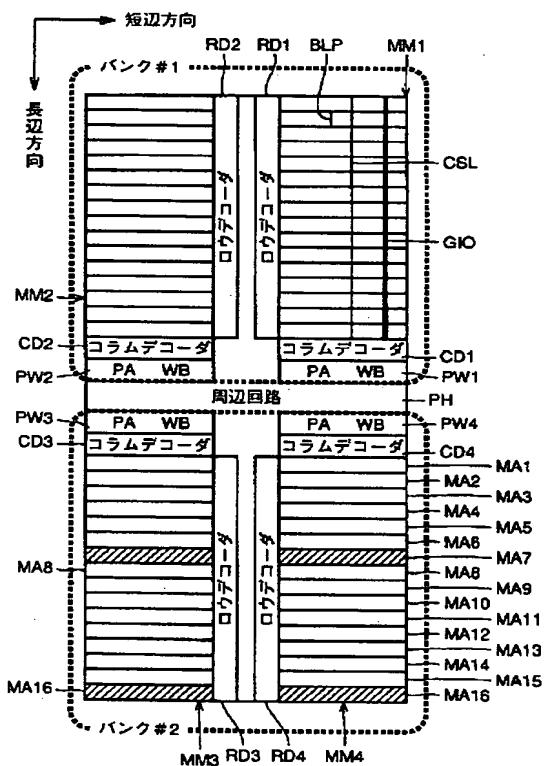
【图14】



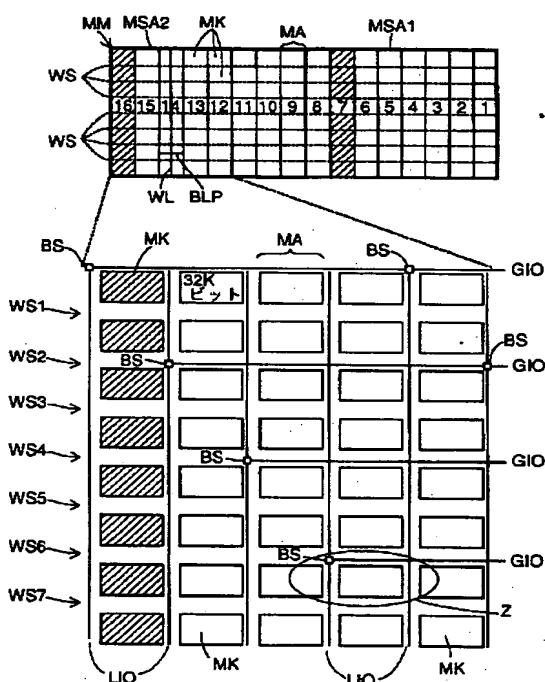
【図15】



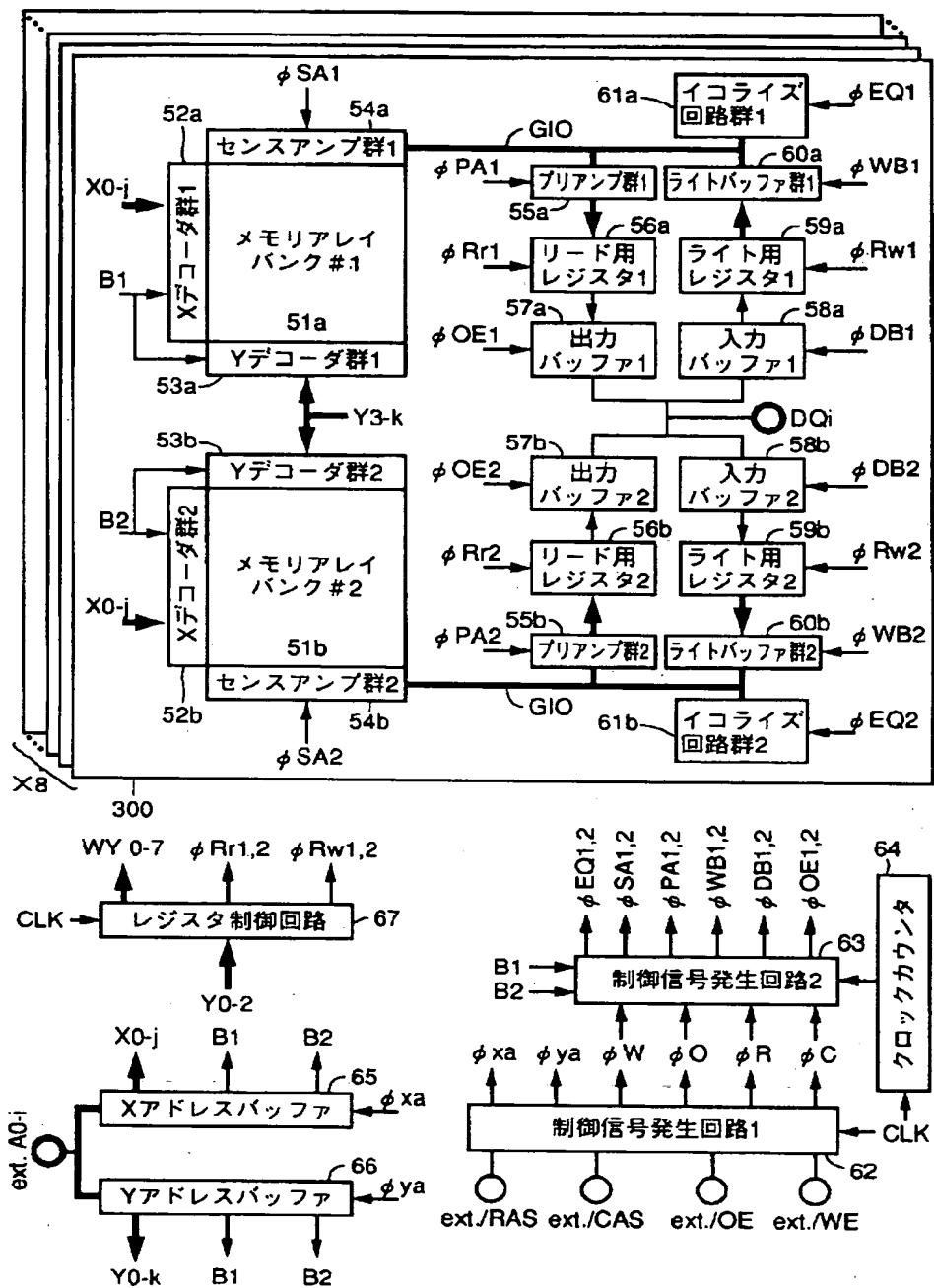
【図20】



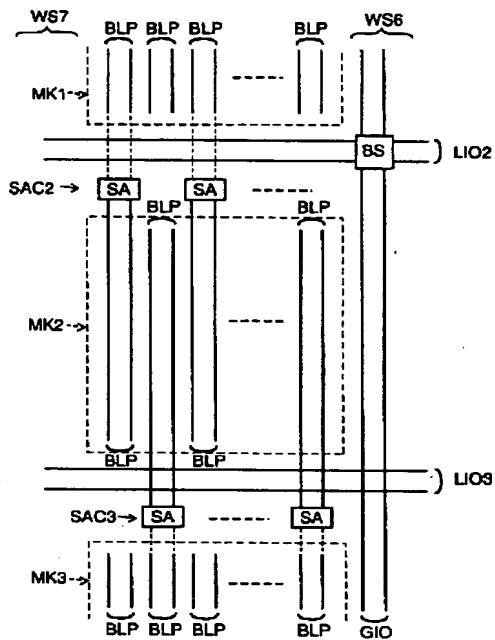
【図21】



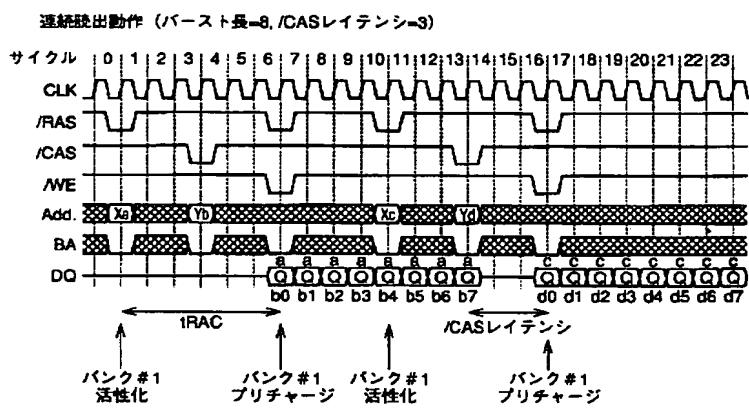
【図19】



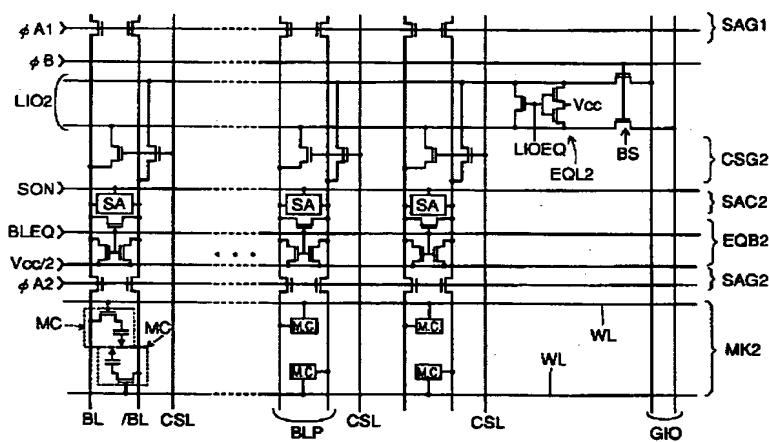
【図22】



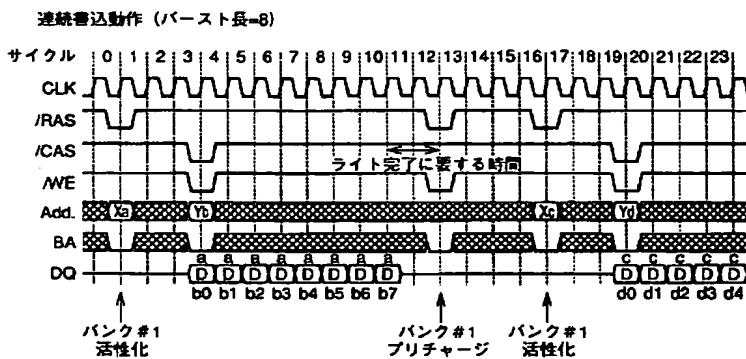
【図24】



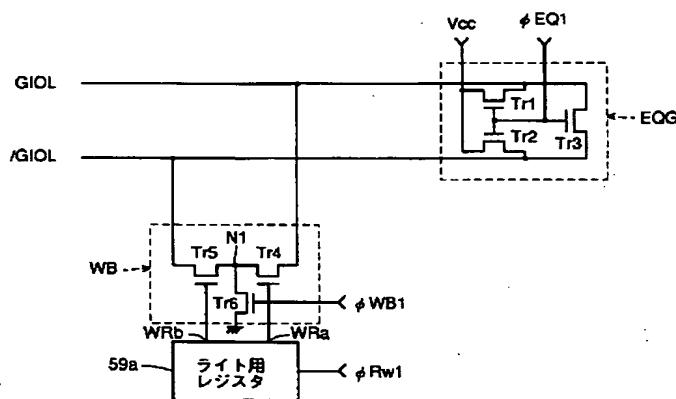
【図23】



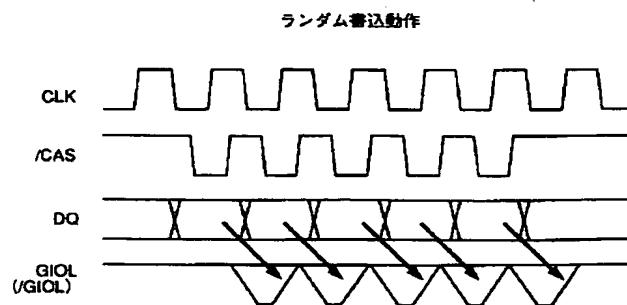
【図25】



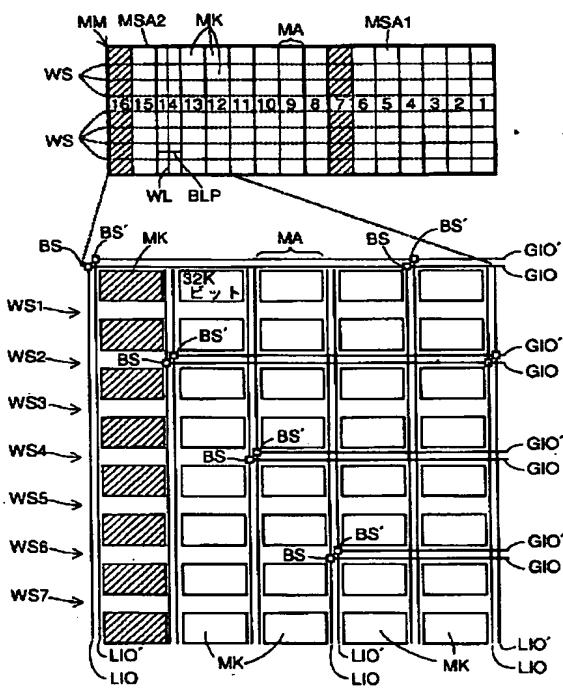
【図26】



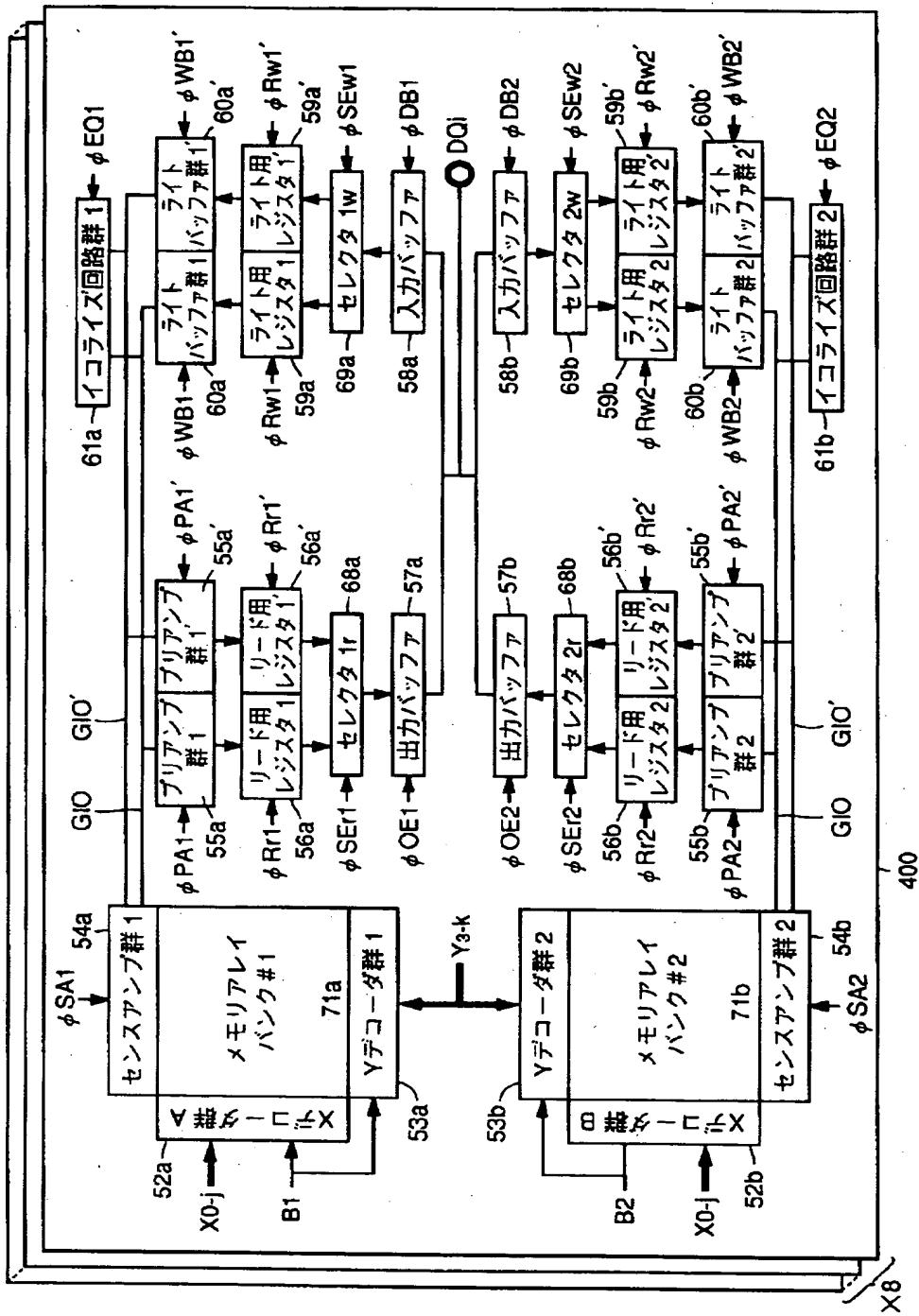
【図28】



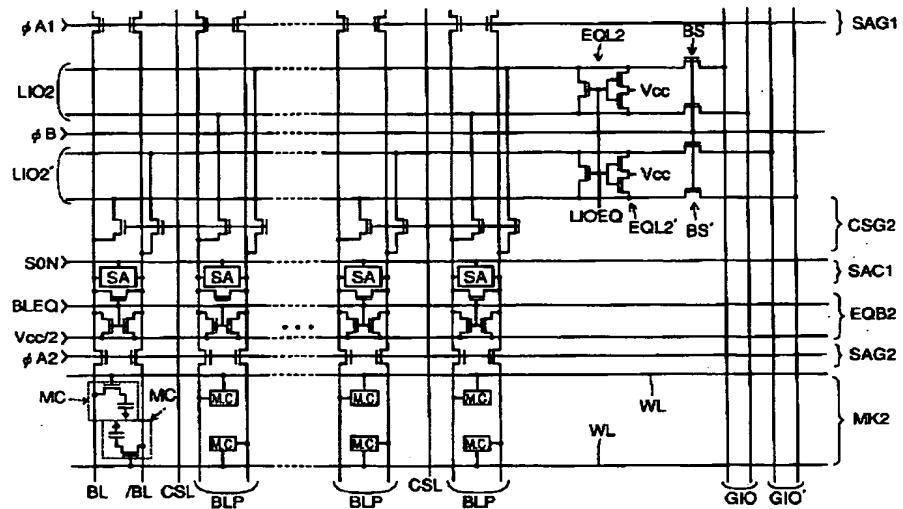
【図30】



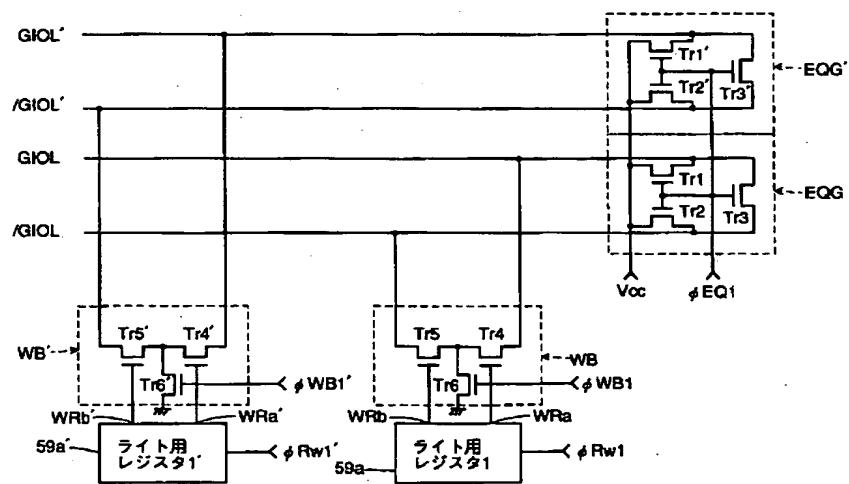
【图29】



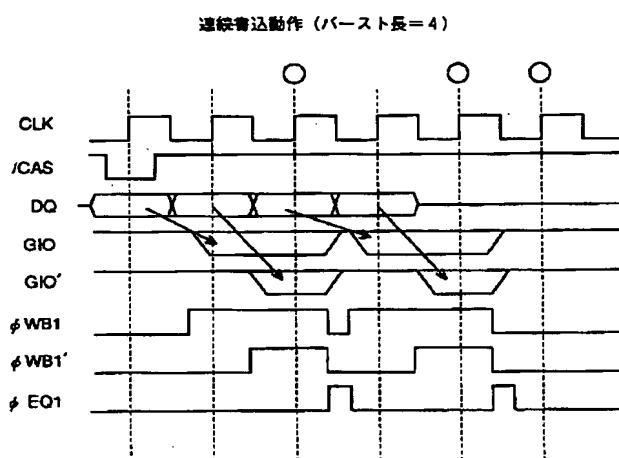
【図31】



【図32】



【図33】



フロントページの続き

(72)発明者 堂阪 勝己

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(72)発明者 村井 泰光

兵庫県伊丹市東野四丁目61番5号 三菱電
機エンジニアリング株式会社エル・エス・
アイ設計センター内